

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-022223

(43)Date of publication of application : 30.01.1991

(51)Int.CI.

G11B 7/00

G11B 7/125

H04N 5/85

(21)Application number : 01-319290

(71)Applicant : FUJITSU LTD

(22)Date of filing : 08.12.1989

(72)Inventor : IWASA SEIICHI
ETSUNO NAGAAKI
UCHIUMI KENICHI
NAKADA MASAHIRO

(30)Priority

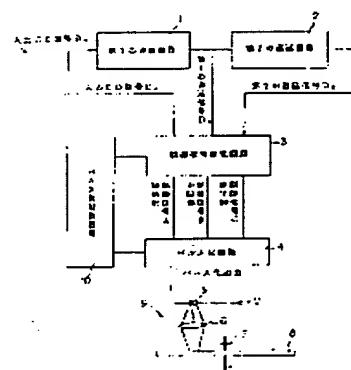
Priority number : 64 68335 Priority date : 20.03.1989 Priority country : JP

(54) METHOD AND DEVICE FOR CONTROLLING WRITING INFORMATION ON OPTICAL DISK

(57)Abstract:

PURPOSE: To exactly maintain the form of a recording bit and to obtain the reproducing signal of satisfactory C/N even in case of high density recording by controlling the length and amplitude of a pulse train in the write signal of the pulsed recording bit corresponding to the length of a preceding base signal.

CONSTITUTION: A write signal D0 of the recording bit is pulsed by a pulsing circuit 4. For this pulsed signal of the recording bit, the length and/or amplitude of the pulse train is controlled corresponding to the length of a space signal just before the write signal. An optical disk 8 is irradiated with this controlled pulsed output by a laser irradiating means 9. Thus, the influence of heat, which is generated when the recording bit is written just before the recording bit, can be corrected and the satisfactory bit form can be obtained regardless of a mark length and space length.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (J P) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 平3-22223

⑫ Int. Cl. 5

G 11 B 7/00
7/125
H 04 N 5/85

識別記号

庁内整理番号

L 7520-5D
C 8947-5D
Z 6957-5C

⑬ 公開 平成3年(1991)1月30日

審査請求 有 請求項の数 21 (全34頁)

⑭ 発明の名称 光ディスク情報書き込み制御方法およびその装置

⑮ 特 願 平1-319290

⑯ 出 願 平1(1989)12月8日

優先権主張 ⑰ 平1(1989)3月20日 ⑯ 日本 (J P) ⑮ 特願 平1-68335

⑰ 発明者 岩佐 誠一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑰ 発明者 越野 長明 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑰ 発明者 内海 研一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑰ 発明者 中田 正弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑯ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 代理人 弁理士 井桁 貞一 外2名

明細書

1. 発明の名称

光ディスク情報書き込み制御方法およびその装置

2. 特許請求の範囲

(1) 記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書き込み制御方法において、

前記記録ビットの書き込み信号をパルス化して前記書き込み信号の長さに対応する一連のパルス列となすとともに、

前記パルス列の長さおよび／または振幅を、前記書き込み信号の直前にあるスペース信号の長さに応じて制御し、

該制御されたパルス列をレーザ照射手段に印加して書き込むようにしたことを特徴とする光ディスク情報書き込み制御方法。

(2) 記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書き込み制御方法において、前記記録ビットの書き込み信号を、

a) 書込み可能な温度まで媒体の温度を速やかに上昇させる開始部と、

b) 上昇した媒体の温度を放熱とバランスして保持する中間部と、

c) レーザビーム照射終了に伴って起こる温度降下を所定条件に保つ終了部

の3つの部分に分け、

前記書き込み信号を、各パルスのパルス幅がそれぞれ好適な条件となるように、前記3つの部分それぞれに対してパルス化を行うことにより、前記書き込み信号の長さに対応する一連のパルス列となし、前記書き込み信号の長さが情報に対応して変わった際には、前記パルス列の前記中間部のパルスの数を変えるようになり、

かつ、前記パルス列の長さおよび／または振幅を、前記書き込み信号の直前にあるスペース信号の長さに応じて制御し、

該制御されたパルス列をレーザ照射手段に印加して書き込むようにしたことを特徴とする光ディスク情報書き込み制御方法。

(3) 記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書込制御方法において、

前記記録ビットの書込信号をパルス化して前記書込信号の長さに対応する一連のパルス列となすとともに、

該各パルス列の一部または全部を、該各パルス列の最終パルスの位置が一定となるよう、直前のスペース長に応じて時間圧縮を行い、

該時間圧縮された前記各パルス列をレーザ照射手段に印加して書込を行うようにしたことを特徴とする光ディスク情報書込制御方法。

(4) 光ディスク媒体に対しレーザ照射手段によりレーザを照射して記録ビットの長さが情報を担う長穴記録を行う光ディスク情報書込制御装置において、

前記記録ビットの書込信号を予め定められた範囲で遅延する第1の遅延手段と、

該第1の遅延手段で遅延された前記書込信号を予め定められた範囲で更に遅延する第2の遅延手段と、

前記第1および第2の遅延手段の出力信号から開始部制御信号、中間部制御信号および終了部制御信号を生成する制御信号発生手段と、

該各制御信号に基づいて前記記録ビットの書込信号を、書込可能な温度まで媒体の温度を速やかに上昇させる開始部と、上昇した媒体の温度を放熱とバランスして保持する中間部と、レーザビーム照射終了に伴って起こる温度降下を所定条件に保つ終了部との3つの部分に分け、

前記3つの部分それぞれに対してパルス化を行って前記書込信号の長さに対応する一連のパルス列を生成するパルス化手段と、

前記パルス列の長さおよび／または振幅を、前記書込信号の直前にあるスペース信号の長さに応じて制御するパルス列制御手段と、
を設けたことを特徴とする光ディスク情報書込制御装置。

(5) 前記パルス列を構成する各パルスのパルス幅を独立に設定できる手段を持つことを特徴とする請求項4記載の光ディスク情報書込制御裝

置。

(6) 前記パルス化手段から複数チャネルのパルス化出力を出すとともに、

各チャネルのパルス化出力の開始部、中間部および終了部各々のパルスの発生を独立に禁止するパルス禁止手段を有することを特徴とする請求項4記載の光ディスク情報書込制御装置。

(7) 前記複数チャネルのパルス化出力がそれぞれに異なる光出力を発生する複数の光出力発生回路に接続されることを特徴とする請求項4記載の光ディスク情報書込制御装置。

(8) 前記パルス化手段のパルス化クロックの周期を、前記書込信号の基本クロックの周期より短くしたことを特徴とする請求項4記載の光ディスク情報書込制御装置。

(9) 前記パルス列制御手段は、予め定められた長さの基準信号を持ち、

該基準信号と前記書込信号の直前にあるスペース信号の長さとを比較してマーク長制御信号を作成し、該マーク長制御信号により前記パル

ス列の制御を行うように構成したことを特徴とする請求項4記載の光ディスク情報書込制御装置。

(10) 前記パルス列制御手段は、複数個の基準信号を持つことを特徴とする請求項9記載の光ディスク情報書込制御装置。

(11) 前記マーク長制御信号により書込開始パルスの光出力を制御することを特徴とする請求項4、5または6記載の光ディスク情報書込制御装置。

(12) 前記パルス列制御手段は、開始部パルスが通過する予め定められた通過時間を持つ複数個の通過路で構成される少なくとも1組の通過路群と、

書込マーク直前のスペース長を認識するスペース認識手段と、

認識結果に応じて前記開始部パルスの通過路を選択する通過路選択手段とを含むことを特徴とする請求項4記載の光ディスク情報書込制御装置。

(13) 前記通過路群の通過時間が、書き込みが行われる光ディスク円板の半径位置に応じて変化することを特徴とする請求項12記載の光ディスク情報書き込み制御装置。

(14) 前記通過路群を複数組持ち、該各通過路群における最大通過時間が異なるように構成されていることを特徴とする請求項12または13記載の光ディスク情報書き込み制御装置。

(15) 前記スペース認識手段の認識結果に基づいて前記パルス列の光出力の振幅を制御することを特徴とする請求項4記載の光ディスク情報書き込み制御装置。

(16) 光ディスク媒体に対しレーザ照射手段によりレーザを照射して記録ピットの長さが情報を担う長穴記録を行う光ディスク情報書き込み制御装置において、

前記記録ピットの書き込み信号をパルス化して前記書き込み信号の長さに対応する一連のパルス列とするパルス化手段と、

前記書き込み信号の直前にあるスペース長を認識

圧を設定する複数の増幅器で構成された遅延時間設定回路と、

該遅延時間設定回路の出力を前記スペース認識手段の認識結果に基づいて選択するスイッチ手段と、を含むことを特徴とする請求項17記載の光ディスク情報書き込み制御装置。

(20) 前記遅延時間制御回路は、前記遅延時間設定回路の出力に接続され、該出力の電圧を選択的に一定電位に接続するスイッチと、

該スイッチの開閉タイミングを好適に制御するスイッチ制御回路と、を更に含むことを特徴とする請求項19記載の光ディスク情報書き込み制御装置。

(21) 前記锯歯状波発生回路は、予め定められた時間幅のパルスを発生するモノマルチバイブレータと、

該モノマルチバイブレータの出力パルスを微分する微分回路と、で構成されることを特徴とする請求項19または20記載の光ディスク情報書き込み制御装置。

するスペース認識手段と、

該スペース認識手段の認識結果に基づいて、前記各パルス列の一部または全部を、前記各パルス列の最終パルスの位置が一定となるよう時間圧縮する時間圧縮手段と、
を設けたことを特徴とする光ディスク情報書き込み制御装置。

(17) 前記時間圧縮手段は、電圧制御遅延回路と、該電圧制御遅延回路に锯歯状制御電圧を供給する遅延時間制御回路とで構成されることを特徴とする請求項16記載の光ディスク情報書き込み制御装置。

(18) 前記電圧制御遅延回路は、可変容量ダイオードとインダクタンスとを組み合わせた素子で構成されていることを特徴とする請求項17記載の光ディスク情報書き込み制御装置。

(19) 前記遅延時間制御回路は、予め定められた時間幅を持つ锯歯状波を発生する锯歯状波発生回路と、

該锯歯状波を増幅して該锯歯状波のピーク電

3. 発明の詳細な説明

(目次)

概要

産業上の利用分野

従来の技術

発明が解決しようとする課題

課題を解決するための手段

作用

実施例

(1) 従来技術の問題点の分析

(2) 本発明の第1実施例

(3) 本発明の第2実施例

(4) 本発明の第3実施例

(5) 本発明の第4実施例

(6) 本発明の第5実施例

(7) 本発明の第6実施例

(8) 本発明の第7実施例

(9) 本発明の第8実施例

発明の効果

〔摘要〕

光ディスク情報書込制御方法およびその装置に関するもので、高密度書込を行った場合でも正確な記録ビット形状を維持してC/N比の良い再生信号を得ることのできる光ディスク情報書込制御方法およびその装置を提供することを目的とし、

記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書込制御方法において、前記記録ビットの書込信号をパルス化して前記書込信号の長さに対応する一連のパルス列となすとともに、前記パルス列の長さおよび／または振幅を、前記書込信号の直前にあるスペース信号の長さに応じて制御し、該制御されたパルス列をレーザ照射手段に印加して書込を行うように構成する。

また、前記記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書込制御方法において、前記記録ビットの書込信号を、書込可能な温度まで媒体の温度を速やかに上昇させる開始部と、上昇した媒体の温度を放熱とバランスして保持す

該時間圧縮された前記各パルス列をレーザ照射手段に印加して書込を行うように構成する。

次に、装置は、光ディスク媒体に対しレーザ照射手段によりレーザを照射して記録ビットの長さが情報を担う長穴記録を行う光ディスク情報書込制御装置において、前記記録ビットの書込信号を予め定められた範囲で遅延する第1の遅延手段と、該第1の遅延手段で遅延された前記書込信号を予め定められた範囲で更に遅延する第2の遅延手段と、前記第1および第2の遅延手段の出力信号から開始部制御信号、中間部制御信号および終了部制御信号を生成する制御信号発生手段と、該各制御信号に基づいて前記記録ビットの書込信号を、書込可能な温度まで媒体の温度を速やかに上昇させる開始部と、上昇した媒体の温度を放熱とバランスして保持する中間部と、レーザビーム照射終了に伴って起こる温度降下を所定条件に保つ終了部との3つの部分に分け、該3つの部分それぞれに対してパルス化を行って前記書込信号の長さに対応する一連のパルス列を生成するパルス化手段

る中間部と、レーザビーム照射終了に伴って起こる温度降下を所定条件に保つ終了部と、の3つの部分に分け、前記書込信号を、各パルスのパルス幅がそれぞれ好適な条件となるように、前記3つの部分それぞれに対してパルス化を行うことにより、前記書込信号の長さに対応する一連のパルス列となし、前記書込信号の長さが情報に対応して変わった際には、前記パルス列の前記中間部のパルスの数を変えるようになし、かつ、前記パルス列の長さおよび／または振幅を、前記書込信号の直前にあるスペース信号の長さに応じて制御し、該制御されたパルス列をレーザ照射手段に印加して書込をおこなうように構成する。

さらに、前記記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書込制御方法において、前記記録ビットの書込信号をパルス化して前記書込信号の長さに対応する一連のパルス列となすとともに、該パルス列の一部または全部を、該各パルス列の最終パルスの位置が一定となるよう、直前のスペース長に応じて時間圧縮を行い、

と、前記パルス列の長さおよび／または振幅を、前記書込信号の直前にあるスペース信号の長さに応じて制御するパルス列制御手段と、を設けるように構成する。

さらに、光ディスク媒体に対しレーザ照射手段によりレーザを照射して記録ビットの長さが情報を担う長穴記録を行う光ディスク情報書込制御装置において、前記記録ビットの書込信号をパルス化して前記書込信号の長さに対応する一連のパルス列とするパルス化手段と、前記書込信号の直前にあるスペース長を認識するスペース認識手段と、該スペース認識手段の認識結果に基づいて、前記各パルス列の一部または全部を、前記各パルス列の最終パルスの位置が一定となるよう時間圧縮する時間圧縮手段とを設けるように構成する。

〔産業上の利用分野〕

本発明は、光ディスク情報書込制御方法およびその装置に係り、詳しくは、レーザビームによって情報の書込・読出を行う光ディスク装置に対し、

特に情報を正確に書き込むための書き制御方法およびその装置に関する。

近年、コンピュータシステムの大容量化に伴い、書き換え可能な大容量ファイルとして、光磁気ディスク、相変化光ディスク等の光ディスクへの期待が高まっている。そのため、大容量の文書データや画像情報（イメージ情報）を、光学的にディスク状の媒体に記録する光ディスク装置の開発が行われており、すでにOA市場をねらった製品が出ている。

光ディスクにおける情報記録は、ディスク媒体上へのレーザビーム照射による熱的効果によって例えば媒体の磁化を反転させたり、あるいは媒体の結晶状態を変化させることにより行われる。記録方式の中でも、特に書きビット（例えばレーザ照射）および非書きビット（例えばレーザ非照射）の長さが情報を担ういわゆる長穴記録においては、正確なビット形状を媒体上に書き込むことが読み取りエラーを減らし装置の信頼性を高める上で特に重要である。

子の一例は第31図（a）（b）のように示される。

ところが、このような従来の光ディスク情報書き制御方法およびその装置にあっては、より高密度記録を行うために媒体の回転速度を遅く（ τ を短く）していくと、当該ビット書きに際して発生する熱の影響により、例えば 2τ という長いビットについては第31図（c）に示すようなピラミッド形状が書き込まれてしまい、情報読み取りに際しC/N比が劣化して読み取りエラーを生じるという問題点があった。

この問題に対処するため、High信号に相当するレーザビームを間欠的（パルス状）に印加することが行われており、例えば次に掲げる文献にその方法が開示されている。

- 1) 特開昭63-160017号公報
- 2) 特開昭63-263632号公報
- 3) 特開昭62-229542号公報
- 4) 特開昭63-266632号公報
- 5) 特開昭63-153726号公報
- 6) 特開昭63-266633号公報

なお、本発明の適用対象である光ディスクは長穴記録方式のものであれば、光磁気ディスク等も含むものである。

〔従来の技術〕

第30図は長穴記録の一例としてコンパクトディスク形式の信号（以下、CD信号という）を示すもので、この例ではHigh信号（“H”）およびLow信号（“L”）は 3τ から 11τ （ τ は単位周期=230ns）の長さを持っており、これらHigh、Lowの長さが情報を担っている。

従来の光ディスク装置においては、例えば 5τ のHigh信号については 5τ （ $230ns \times 5 = 1150ns$ ）の時間だけレーザを照射し、Low信号についてはレーザを照射しないといった方法で媒体上へ書きを行っている。

この場合、媒体が一定速度で回転しているため書き情報のパルス幅 $n\tau$ （n=3～11）は媒体上のビット長さを $n\ell$ （ ℓ ：時間 τ に相当する媒体上の単位長さ）に変換され、記録される。この様

〔発明が解決しようとする課題〕

しかしながら、上記公知の方法では媒体の回転速度を遅くしていった場合のC/N比の劣化をある程度以下にすることはできない。

すなわち、媒体の回転速度を遅くしていった場合には、当該ビット書きに際して発生した熱のみならず、直前のビット書きに際して発生した熱の残り（余熱）の影響も大きくなるため、ビット間スペースの長さ（直前のスペース長）によって当該ビットの書き開始位置が異なってしまう現象が生じ、その結果、マーク長が変動してしまうからである。

上記公知の方法は当該書きビットの熱に対する対策にはなるものの、直前ビットからの余熱に対する対策は何らなされておらず、高密度書き時のC/N比劣化対策が十分とは言えない。

また、直前ビットからの余熱対策に関するものとして、

- 7) 特開昭63-269321号公報
- 8) 特開昭63-302424号公報

9) 特開昭64-59633号公報

記載の技術がある。

しかしながら、上記公報に記載されている内容は、後述するごとく、本発明の課題を何ら解決するものではない。

上記文献記載の各技術について、具体的に述べると、次の通りである。

1) 特開昭63-160017号公報

この装置では、レーザ光を制御する手段が信号ビットの長さに応じた時間内でレーザ光を複数パルスに分割して付与するように構成されており、レーザ光制御手段は前記信号ビットの長さに応じてレーザ光を分割するとともに、分割レーザ光パルスの各先頭パルス幅を後続パルスより大とし、さらに、分割レーザ光パルスの各先頭パルスのパルス強度を後続パルスより大としている。

したがって、パルス状レーザ光による書き込みについては述べているものの、具体的なパルス化手段については何ら記述されておらず、上記問題点を解決するには至っていない。

パルス内で変更することは原理的にできない。

4) 特開昭63-266632号公報

光、電子線などのエネルギー・ビームを照射して記録媒体の原子配列の変化によって記録を行う情報の記録方法において、エネルギー・スポットの中心が記録点の端から端まで通過する時間より短いパルス幅の单一又は複数のパルスで記録点を形成している。しかし、パルス状のレーザビームにより書き込みを行い、パルス幅はビット長の3/4より狭くすればより好ましく、1/2より狭くすればさらに好ましく、1/4より狭くすれば特に好ましいことが述べられてしるのみで、パルス化の方法等については何ら述べられていない。

5) 特開昭63-153726号公報

連続する放射線パルスからなる1個の群の内の各放射線パルスのエネルギー量は、1個の放射線パルスにより生じる情報体中の温度上昇とその群の内の以前の放射線パルスにより既に発生している温度との合計が常に一定となる条件を考慮してその群の内の位置によって決めようとするもので、

2) 特開昭63-263632号公報

この装置では、レーザ光を制御する手段が信号ビットの長さに応じた時間内でレーザ光をその照射すべき期間の終了直前で分割させた2パルスとして付与するように構成されており、上記特開昭63-160017号公報に記載のものを、更に簡略化して同様の効果を得ようとしているが、上記同様の理由で問題点を解決できるものではない。

3) 特開昭62-229542号公報

記録媒体の記録層の記録感度に適合した光ビーム照射時間に対応する予め定められたパルス幅のパルスを一定周期で発生するパルス発振器と、このパルス発振器から出力されるパルス信号のレーザ駆動回路への導出を記録パルス発生器から出力される記録パルスに応じて制御するゲート回路とを具備し、前記レーザ駆動回路がゲート回路の出力によってレーザ光源の光出力を制御するものである。

しかし、CD信号をパルス化する手段に関するものであり、しかもパルス幅は一定で、かつ記録

方法および装置に関する全9項のクレームからなっている。これは、本願明細書中に引用した論文の共著者による出願で論文とほぼ同様の内容であり、問題点を完全に解決できるものではない（詳細は後述）。

6) 特開昭63-266633号公報

書き込み信号パルスを始端部、中間部、終端部の3部分に分割することが開示されている。ただし、各部分の各々のパルス幅が独立に設定できること、各々のパルスの発生を独立に禁止するパルス禁止手段等は開示されておらず、後にも述べるように最適の書き込みビット形状を得る目的には適さず、問題点を完全に解決できるものではない。また、本願発明の主要な構成要素である、直前のスペース長に応じて書き込み信号の長さを制御することについては何ら記述されていない。

7) 特開昭63-269321号公報

レーザ光制御手段が、長いビットを形成する場合にレーザ光の照射時間を短めにしたり、また、直前のブランク長が短いビットを形成する場合に

前記レーザ光の照射時間を短めにすることを特徴とするものである。CD原盤や追記型ディスク等、膜の溶融によるビットの形成を前提に考えており、しかも、直前のブランク長が短いビットを形成する場合に、レーザ光の照射時間を短めにする具体的な手段が何ら示されていない。さらに、通常書込であり、パルス化書込についても何ら記述されていない。したがって、上述した問題点を解決できる具体的技術の示唆はない。

8) 特開昭63-302424号公報

レーザ光制御手段が、直前のブランク長が短いビットを形成する場合にはレーザ光の照射時間を短めにし、直前のブランク長が長いビットを形成する場合にはレーザ光の照射開始を早めるもので、上記第7の公報記載の技術と同様ほぼ同じ内容で、具体的技術手段、パルス化書込については何ら記述されておらず問題点を解決できる具体的技術の示唆はない。

9) 特開昭64-59633号公報

ビット位置記録の光ディスク装置において書込

して発生した余熱の影響をも補正するものである。

すなわち、記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書込制御方法において、前記記録ビットの書込信号をパルス化して前記書込信号の長さに対応する一連のパルス列となすとともに、前記パルス列の長さおよび／または振幅を、前記書込信号の直前にあるスペース信号の長さに応じて制御し、該制御されたパルス列をレーザ照射手段に印加して書込を行うように構成する。

また、前記記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書込制御方法において、前記記録ビットの書込信号を、書込可能な温度まで媒体の温度を速やかに上昇させる開始部と、上昇した媒体の温度を放熱とバランスして保持する中間部と、レーザビーム照射終了に伴って起こる温度降下を所定条件に保つ終了部と、の3つの部分に分け、前記書込信号を、各パルスのパルス幅がそれぞれ好適な条件となるように、前記3つの部分それぞれに対してパルス化を行うことによ

間隔が短い場合に後続の書込ビット径が大きくなってしまう現象をさけるため、ビット間隔を挿出して、間隔が短い場合には書込レーザパワーを小さくするものである。パルス間隔を挿出し、それに応じてレーザ光量を変えることは開示されている。ただし、本例はマーク長記録ではなく、ビット位置記録であり、前提とする記録方式が全く異なる。

したがって、上記第7、8の公報記載の技術と同様に問題点を解決できるものではない。

そこで本発明は、高密度書込を行った場合でも、正確な記録ビット形状を維持してC/N比の良い再生信号を得ることのできる光ディスク情報書込制御方法およびその装置を提供することを目的としている。

(課題を解決するための手段)

本発明による光ディスク情報書込制御方法は上記目的達成のため、当該ビット書込に際して発生した熱の影響のみならず、直前のビット書込に際

り、前記書込信号の長さに対応する一連のパルス列となし、前記書込信号の長さが情報に対応して変わった際には、前記パルス列の前記中間部のパルスの数を変えるようになし、かつ、前記パルス列の長さおよび／または振幅を、前記書込信号の直前にあるスペース信号の長さに応じて制御し、該制御されたパルス列をレーザ照射手段に印加して書込をおこなうように構成する。

さらに、前記記録ビットの長さが情報を担う長穴記録を行う光ディスクの情報書込制御方法において、前記記録ビットの書込信号をパルス化して前記書込信号の長さに対応する一連のパルス列となすとともに、該パルス列の一部または全部を、該各パルス列の最終パルスの位置が一定となるよう、直前のスペース長に応じて時間圧縮を行い、該時間圧縮された前記各パルス列をレーザ照射手段に印加して書込を行うように構成する。

次に、請求項4記載の装置では、光ディスク媒体に対しレーザ照射手段によりレーザを照射して記録ビットの長さが情報を担う長穴記録を行う光

ディスク情報書込制御装置において、前記記録ビットの書込信号を予め定められた範囲で遅延する第1の遅延手段と、該第1の遅延手段で遅延された前記書込信号を予め定められた範囲で更に遅延する第2の遅延手段と、前記第1および第2の遅延手段の出力信号から開始部制御信号、中間部制御信号および終了部制御信号を生成する制御信号発生手段と、該各制御信号に基づいて前記記録ビットの書込信号を、書込可能な温度まで媒体の温度を速やかに上昇させる開始部と、上昇した媒体の温度を放熱とバラシスして保持する中間部と、レーザビーム照射終了に伴って起こる温度降下を所定条件に保つ終了部との3つの部分に分け、該3つの部分それぞれに対してパルス化を行って前記書込信号の長さに対応する一連のパルス列を生成するパルス化手段と、前記パルス列の長さおよび／または振幅を、前記書込信号の直前にあるスペース信号の長さに応じて制御するパルス列制御手段と、を設けるように構成する。

さらに、請求項16の装置では、光ディスク媒体

スペース長の如何にかかわらず良好なビット形状が得られる。

したがって、高密度書込を行った場合でも簡単なハードウエアを付加するだけで正確な記録ビット形状が書込まれ、C/N比の良い、高品質の再生信号となる。

(実施例)

以下、本発明を図面に基づいて説明する。

従来技術の問題点の分析

まず、本発明者は前述の問題点の正確な分析とその解決策について検討した。

前記第1の問題点、すなわち高密度記録を行うために媒体の回転速度を遅くした場合、正常なビット形状が書込まれなくなる現象は、次のように考えることができる。媒体の回転速度が通常の回転速度の場合にはレーザビーム照射による媒体の局部的な温度上昇と媒体の放熱による温度降下が一定のバランスを保ち、熱的効果による書込みが行われる境界（以下、書込境界）はほぼレーザビ

ームに一致している。したがって、例えば11 τ のビットを書込んだとすると、媒体上には長さ11 ℓ 、幅d（d：レーザビームの直径）のビットが形成される。

(作用)

本発明では、記録ビットの書込信号がパルス化されるとともに、該パルス化された前記記録ビットの書込信号のパルス列の長さおよび／または振幅が、該書込信号の直前にあるスペース信号の長さに応じて制御される。そのため、前記記録ビット直前の記録ビット書込に際して発生した熱の影響をも効果的に補正することができ、マーク長・

ームに一致している。したがって、例えば11 τ のビットを書込んだとすると、媒体上には長さ11 ℓ 、幅d（d：レーザビームの直径）のビットが形成される。

一方、高密度記録のために媒体の回転速度を遅くすると、単位面積当たりのレーザビーム照射エネルギーが大きくなるため、放熱による温度降下が間に合わなくなり、照射時間が長くなるにつれ、熱が徐々に蓄積されてビーム照射位置の前後の位置にも熱が流れ出していく。熱的効果によって一定時間に書込を行うために必要なレーザビームのエネルギーには下限が存在するから、例えば回転速度を1/2にした場合でもレーザビームのエネルギーを1/2にして書込むわけにはいかず、必ず上記現象が発生する。

したがって、例えば7 τ 以上といった長いビットを書込む場合、レーザビームが2 ℓ 位置、3 ℓ 位置、4 ℓ 位置と進むに従って熱の蓄積が大きくなり、徐々に隣接位置への熱の影響が増大とともに、書込境界もレーザビーム径dを越えて拡

がっていく。ビットの終端、すなわち上記例では 7τ 位置付近では直後にレーザビーム照射が終了し、放熱による温度降下が支配的になるから書込境界はほぼビーム径となる。

このようなモデルを考えると、第31図 (c) に示すビット形状が説明できる。特に、結晶状態（結晶相）の変化により反射率を変えて記録を行う相変化型媒体においては、溶融状態からの急冷あるいは徐冷によって結晶状態を変化させ High・Low情報を書込むため、隣接位置からの熱の流れ出しの影響が顕著である。

一例として急冷によって High 情報を書込むタイプの相変化型媒体を考えてみると、書込ビット長がある程度以上長くなつて（例えば 7τ 以上）隣接位置への熱の影響があると、例えば 3τ 位置では 4τ 位置からの熱の流れ出しの影響を受け、 4τ 位置では 5τ から、以後順次 $n\tau$ 位置では $(n+1)\tau$ 位置からの熱の流れ出しの影響を受けてしまい、結果的に急冷ではなく徐冷に近い条件となつてしまつ。このような状態ではある程度以上

長いビットの High 情報書込は非常に不安定となる。長いビットを書込む場合にも安定な High 書込状態を得ることと、すなわち安定な急冷状態を実現するためには書込ビット長 $n\tau$ ($n=3 \sim 11$) の間でレーザビームを間欠的（パルス状）に照射し、書込を行うことが有効である。これについては、D. J. Gravesteijn et al "Phase-change optical data storage in GaSb", Applied Optics, 26, 4772 (1987) に 4.3MHz ($\tau=230\text{ns}$) の周波数で 80ns 幅を持つパルス列による書込が記述されている。

本発明者は、種々の High 書込ビット長（以下マーク長）を上記文献の例に従つて媒体上に書込み、ビット形状の観察を行つた。その結果、上記文献に記されているように、一定のパルス幅を持つパルス列による書込では、該パルス幅を変えてやつても、また光パワーを適当に変えてやつてもマーク長 3τ から 11τ にわたつて良好なビット形状を実現するパルス幅条件を見出すことはできなかつた。すなわち、マーク長が最も短い 3τ の場合にはパルス幅 180ns のパルス 3 個で書き込んだ

とき良好なビット形状が得られたが、この条件の 14 個のパルスでマーク長が最も長い 11τ を書込むと光エネルギーが大きすぎて、前記従来例として示した連続光による書込と同様なビット形状の異常が起つてしまつた。

逆に 11τ の場合に良好なビット形状を与える 120ns のパルス幅条件では、光エネルギーの不足により 3τ のビットを正常に書込むことができなかつた。

マークを構成する前記パルス列のパルス幅を変えて記録する方法は前述したように特開昭63-266633 号公報に開示されている。この開示例ではパルス列を始端部、中間部、終端部の 3 部分に分け、始端部および終端部のパルス幅を中間部のパルス幅より大きくするものである。ただ、ここに開示されている方法では始端部（以下開始部と称する）、中間部、終端部（以下終了部）の各部を複数のパルスで構成した場合、各部内のパルス各々のパルス幅を独立に設定することができないため、種々のパルス幅の組み合わせのものとて最適の書込ビッ

ト形状を得る目的には適さない。

そこで本発明者は、前記マークを構成するパルス列の各パルス幅を独立に設定できる後述する装置を考え、種々のパルス幅の組み合わせのものとて種々のマーク長を書込むとともに、書込まれたビット形状の観察を行つた。

第1図は上記観察結果より得られた好適な書込パルス条件の一例と、そのときの書込ビット形状を示すものである。具体的には、第1図 (a) は 7τ の High 情報（マーク）と 7τ の Low 情報（スペース）とを繰り返す入力信号を用い、パルス周期 $T = \tau$ (230ns) として第1パルス幅 200ns 、第2パルス幅 150ns （開始部）、第3パルス幅 120ns 、第4～第6パルス幅 100ns （中間部）、第7パルス幅 130ns （終了部）の条件で書込を行つた場合の書込ビット形状を示したものである。連続したレーザビームによる書込（前記第30図 (c)）に比べてビット形状の著しい改善が見られた。

また、第1図 (b) には 7τ のスペース 11τ の

マークに対し第1パルス幅 200ns、第2パルス幅 150ns (開始部)、第3パルス幅 120ns、第4～第4～第10パルス幅 100ns (中間部)、第11パルス幅 130ns (終了部) の条件で書込んだビット形状を示す。同様に第1図 (c) には、7τのスペース 3τのマークに対し、第1パルス幅 200ns、第2パルス幅 150ns (開始部)、第3パルス幅 130ns (終了部、この場合には中間部パルスは出ない) の条件で書込んだビット形状を示す。何れも同図 (a) と同様に良好なビット形状が得られた。

この実験結果の物理的意味を考察してみると、
 ①媒体を書き可能な温度まで速やかに上昇させる部分 (開始部)、
 ②開始部で上昇した温度を媒体の放熱とバランスして保つ部分 (中間部)、
 ③レーザビーム照射終了に伴って起こる温度降下を好適条件に保つ部分 (終了部)、
 という以上3つの機能から成っていると解釈することができる。したがって、マーク長の変化に際

し、中間部のパルスを増減し、中間部の長さを変えることは、単に温度を保持する機能を持つ部分の長さを変えているにすぎず、マーク長にかかわらず良好なビット形状が得られることが十分理解できる。

ただ、中間部パルスについては図1 (a)、(b) に示すように、その先頭パルスのパルス幅を他のパルス幅より広くする方がより良好なビット形状が得られる。

さて、これまで述べてきた実験ではマーク長のみに注目し、スペース長については便宜上一定としてきた。しかしながら、実際のCD信号では3τから11τまでの長さを持つマークおよびスペースの組合せにより情報を記録している。したがって、マークを書き込んだ後、次にマークを書き込むまでのスペースは3τから11τの間で常に変化している。特に媒体の急冷あるいは徐冷によって結晶状態を変化させ、記録を行う相変化型媒体においては、直前のビットを書き込んだ際の余熱の影響が懸念される。

前記余熱の影響を明確に把握するために、スペース長を3τから11τまで変化させ、それに伴うマーク長の変化を観測した。第32図はこの様子を示したものである。

記録媒体には (100...500...00) ... 00...00 の組成を持つ記録膜を60nm製膜したものを用い、線速度1.2m/sの条件で実験した。横軸には注目する書きマーク直前のスペース長をとり、縦軸には注目する書きマーク長を時間単位でとり、書きマーク長が3τ 7τおよび11τの場合の結果を示す。図中の×はパルス化を行わない通常書き (レーザパワー - 5mW)、○は前述した好適パルス条件でパルス化を行った場合 (レーザパワー12mW) のデータである。

通常書きの場合には直前のスペース長が3τと11τとでは書きマーク長の差が300ns (1.3τ相当) にも達してしまい、マーク長を正しく判別することは全く不可能である。

パルス化書きを行った場合には直前のスペース長3τと11τの場合における書きマーク長の差は

150nsとなり確かに改善されている。しかしながら、この値とてもτ (=230ns) の値の65%に相当し、読み取時における各マーク長の判別基準である0.5τを越えているため、すべてのマーク長を正しく判別することはできない。

このように余熱の影響が大きいため、従来の技術によりパルス化を行っただけでは、CD信号に代表される実際の長穴記録信号を正確に書き込み、正確に読み取ることはできない。

以下に示す実施例は上記問題点を解決し、CD信号に代表される長穴記録信号を正確に書き込み、C/N比の良い、高品質の再生信号を得ることができる光ディスク情報書き込み制御方法およびその装置を提供するものである。

第1実施例

第2～7図は本発明に係る光ディスク情報書き込み制御方法およびその装置の第1実施例を示す図である。第2図は光ディスク情報書き込み装置の全体構成図であり、この図において、該書き込み装置は大きく分けて、入力CD信号D。(記録ビッ

トの電位信号に相当) が入力し、該 C D 信号 D₁ を予め定められた範囲で遅延する第 1 の遅延回路 (第 1 の遅延手段) 1 と、第 1 の遅延回路 1 で遅延された C D 信号 (第 1 の遅延信号 D₁) を予め定められた範囲でさらに遅延する第 2 の遅延回路 (第 2 の遅延手段) 2 と、これら第 1 、第 2 の遅延回路 1 、 2 の出力信号 (第 1 、第 2 の遅延信号 D₁ 、 D₂) から開始部制御信号 A 、中間部制御信号 B 、終了部制御信号 C を生成する制御信号発生回路 (制御信号発生手段) 3 と、これら各制御信号により記録ビットの電位信号、すなわち入力 C D 信号 D₀ を開始部、中間部および終了部の 3 つの部分に分け、それぞれに応じたパルスを発生するパルス化回路 (パルス化手段) 4 と、前記入力 C D 信号 D₀ の直前にあるスペース長を認識し、該スペース長に応じてパルス列の長さを制御するパルス列制御回路 (パルス列制御手段) 10 と、により構成される。

パルス化回路 4 からのパルス化出力はレーザダイオード 5 に入力されており、レーザダイオード

第 3 図において、パルス化回路 4 はクリア回路 11 、カウンタ 12 、遅延回路 13 、デコード回路 14 、パルス幅設定回路 15 および集合回路としてのオアゲート 16 により構成される。クリア回路 11 は遅延回路 17 、インバータ 18 およびナンドゲート 19 からなり、各制御信号 A 、 B 、 C の立下りエッジに同期してカウンタ 12 をクリアさせる信号を発生し、カウンタ 12 のクリア端子に出力する。カウンタ 12 のカウントイネーブル端子には各制御信号 A 、 B 、 C が入力され、クロック端子にはパルス化クロックが入力される。いま、最初に制御信号 A がカウンタ 12 に入力される場合を例にとると、カウンタ 12 は同信号が "H" になると、カウントを開始し、 "L" になるとカウントを停止する。このとき、クリア回路 11 からは遅延回路 17 の遅延時間 (例えば 50ns) で決まるパルス幅のクリアパルスがカウンタ 12 のクリア端子に加えられ、カウンタ 12 の内容は "0" にリセットされる。

具体的には、第 4 図に示すように 2 τ の幅をもつ制御信号 A が入力すると、カウンタ 12 の内容は

5 はこのパルス化出力に基づいてレーザビームを発生する。レーザビームはレンズ 6 を通じ集光されて回転軸 7 を中心として回転している光ディスク媒体 8 に照射され長穴記録が行われる。上記レーザダイオード 5 およびレンズ 6 はレーザ照射手段 9 を構成する。

第 1 の遅延回路 1 および第 2 の遅延回路 2 としては、例えばクロックに同期した遅延が得られるシフトレジスタ等のディジタル的手段が望ましいが、遅延線等のアナログ的手段であってもよい。また、本実施例では第 1 の遅延時間を τ 、第 2 の遅延時間を 2τ として説明するが、これは本質的なものではなく、符号規格により予め定められた最小スペース長 (C D 信号の場合 3τ) 以下であればよく、また、 1.5τ 、 0.25τ といった小数でもかまわない。

パルス化回路 4 の詳細は第 3 図のよう示され、第 3 図では便宜上 1 組のパルス化回路 4 のみを示しているが、実際には開始部、中間部、終了部のそれぞれについて第 3 図に示す回路が必要である。

0 → 1 → 2 → 0 と変化する。カウンタ 12 の出力である 2⁰ 衔 (A, \overline{A}) 、 2¹ 衔 (B, \overline{B}) 、 2² 衔 (C, \overline{C}) 、 2³ 衔 (D, \overline{D}) は次段のデコード回路 14 に入力されており、デコード回路 14 は、例えばアンドゲート 20a ~ 20n (本実施例では n = 15) により構成される。n = 15 としているのは、 "1" から "F" までの 15 個を用い、 "0" を用いていないからである。

また、パルス幅設定回路 15 はモノマルチバイブレータ 21a ~ 21n (本実施例では n = 15) からなり、これらには例えば、モノマルチバイブレータ 21a に代表として示すようにポリウムからなるパルス幅調整手段 22 が設けられている。なお、これは他のモノマルチバイブレータ 21b ~ 21n についても同様であり、したがって、後述の第 1 パルス …… 第 n パルスの各パルス幅を独立に設定することが可能である。

ここで、カウンタ 12 の内容が "0" のときには $A = B = C = D = 0$ 、 $\overline{A} = \overline{B} = \overline{C} = \overline{D} = 1$ であり、デコード回路 14 の入力のうち、すべてが "1" と

なる組合せはないから、デコード回路14の出力側は“0”的まで何ら信号が現れない。一方、カウンタ12の内容が“1”的ときには、 $A = \overline{B} = \overline{C} = \overline{D} = 1$ 、 $A = B = C = D = 0$ であるから、 $A \cdot \overline{B} \cdot \overline{C} \cdot \overline{D}$ の入力組合せをもつアンドゲート20aの出力側にだけ適当に遅延(例えば50ns)されたパルス化クロックが現れ、モノマルチバイブレータ21aをトリガする。カウンタ12の内容が“2”的ときには、 $B = \overline{A} = \overline{C} = \overline{D} = 1$ 、 $\overline{B} = A = C = D = 0$ となるから、アンドゲート20bにだけパルス化クロックが現れ、モノマルチバイブレータ21bをトリガする。以下、カウンタ12の内容が“3, 4, 5 … 15”となるに従い順次図示はしていないが、モノマルチバイブレータ21c、21d ……21nをトリガする。すなわち、モノマルチバイブレータ21a～21nは開始部制御信号Aによって発生すべき第1パルス、第2パルス……第nパルス(n=15)を発生する。なお、第4図に示す例のように開始部制御信号Aの幅が 2τ であり、これを変化させない場合にはアンドゲートおよび

モノマルチバイブレータはそれぞれ2個だけだけでよい。

モノマルチバイブレータ21a～21nの出力は集合回路としてのオアゲート16で合成され、第1パルス、第2パルス……第nパルスが時間軸上に順次現れる開始部パルスとなって出力される。中間部パルス、終了部パルスも上記開始部パルスと全く同様にして作られ、出力される。さらに、開始部パルス、中間部パルス、終了部パルスは図示しない集合回路(第4図の集合回路と同様)によって合成され、第4図の最下端に示すパルス化出力となってレーザダイオード5に印加される。

次に、制御信号発生回路およびパルス列制御回路を説明するにあたり、まず、第4図に示すタイミングチャートを参照して制御信号発生回路の基本動作を説明する。

入力CD信号D₀は第1の遅延回路1を通過して第1の遅延信号D₁となり、同信号D₁はさらに第2の遅延回路2を通過して第2の遅延信号D₂となる。なお、本実施例では、便宜上第1の遅延時

間を τ 、第2の遅延時間を 2τ として説明するが、これは本質的なものではなく、符号規格により予め定められた最小スペース長(CD信号の場合は 3τ)以下であればよく、また、 1.5τ 、 0.25τ といった小数でもかまわない。

制御信号発生回路3に入った前記信号D₀、D₁、D₂は論理演算が施され、 $A = D_0 \cdot (D_1 + D_2)$ 、 $B = (D_0 \cdot D_1) \cdot (D_1 \cdot D_2)$ および $C = (D_0 \cdot D_2) \cdot \overline{B}$ という制御信号が形成される。ここに「・」は論理積を「-」は否定を表す。制御信号Aは開始部制御信号、Bは中間部制御信号、Cは終了部制御信号となる。入力CD信号D₀に対する各制御信号A、B、Cのタイミングは第4図に示されるが、開始部制御信号Aのパルス幅は第2の遅延回路2の遅延時間(第3図の例では 2τ)に一致し、終了部制御信号Cのパルス幅は第1の遅延回路1の遅延時間(第3図の例では τ)に一致し、さらに、中間部制御信号Bのパルス幅は入力CD信号のパルス幅から第1および第2の遅延回路1、2の遅延時間を引いたものに一致す

る。これは、前記制御信号A、B、Cを形成する論理演算から得られる当然の結果である。したがって、開始部制御信号Aのパルス幅および/または終了部制御信号Cのパルス幅を変更する場合には、第2の遅延回路2の遅延時間および/または第1の遅延回路1の遅延時間を変更すればよい。

各制御信号A、B、Cはパルス化回路4に入り、各制御信号A、B、Cのパルス幅に応じた数でかつ適当なパルス幅を持つパルスに変換され、レーザダイオード5を駆動して光ディスク媒体8に照射され、長穴記録が行われる。

次に、第5図～第7図を参照してパルス列制御回路の動作を説明する。パルス列制御回路ではまず、スペース長がこの信号長より短い場合にマーク長(最終的にはパルス列の長さ)を渡する基準信号を発生する。基準信号の発生は第5図に示すようにクリア端子を持つモノマルチバイブレータ43、遅延回路44、45、インバータ46、47およびアンドゲート48、 NANDゲート49を備えてパルス列制御回路42を構成し、そのタイミングチャートを

第6図に示すように、入力CD信号の立下りでリセットし、D₁信号よりただけ後れたD₂信号の立下りでセットする回路とし、これから基準信号Eを発生している。なお、50はボリュームからなるモノマルチバイブレータ43のパルス幅調整手段であり、基準信号長を、例えば7τに調整するものである。

第7図はマーク3τ、スペース3τ、マーク3τ、スペース7τ、マーク5τのCD信号を例に取ったタイミングを示すものである。基準信号Eは本来7τの長さを持っているが、これ以前にリセット信号が来ると(第7図の例では5τ) "L"となり、τ後のセット信号で再び "H" にセットされ、7τ後に "L" となる。基準信号Eがセットされるタイミングは第1の遅延出力D₁の立下りに一致しているから、D₁のタイミングを基準としてみれば、マークの始まり部分においてEが "H" ならば直前のスペース長は7τより短く、Eが "L" ならば7τ以上であると判定できる。スペース長が7τより短い場合に、マーク長を短

くし、パルス列を制御するためには開始部補助信号D₀を使用する。信号D₀は、第1遅延信号D₁をマーク長を短くしたい長さだけ(第7図の例ではτ)遅延した第3遅延信号D₃を用いて、D₀ = D₁ - (D₃ - D₁) の演算で作られる。次に基準信号EからD₀・E = F(マーク長制御信号)を作り、さらに、A・F = A'を作つて開始部制御信号とする。A'は直前のスペース長が基準信号より短いときには開始位置がτだけ遅れ、基準信号長以上とのときにはAと同じ開始位置となる。終了位置はAと全く同じであるから、直前のスペース長の長短に応じて書きマーク長を制御できるわけである。制御信号発生回路の基本動作の項で述べたA、B、Cの各制御信号に代えて、A'、B、Cを各制御信号としてパルス化回路4に入力することにより、直前のスペース長に応じた長さのパルス列を持つパルス化出力(第7図下端)が得られる。

以上のことから、本実施例では記録ビットの書き信号を3つの部分に分け、該3つの部分それぞれをパルス化し、該パルス化された各パルスのバ

ルス幅が各々独立に設定できるので、前記3つの部分それぞれに最適な条件で媒体にレーザビームを照射することができる。さらに書き信号直前のスペース長を判断し、該スペース長に応じて出力パルス列の長さを制御できるので、直前の書きビットからの余熱の影響を効果的に補正することができ、高密度書きを行つた場合でも正確な記録ビット形状を維持して、C/N比の良い再生信号を得ることができる。

なお、以上の説明ではパルス化回路のカウンタを2進4桁としたが、本発明はこれに限定されるものではなく、桁数を増しさらに多くのパルス幅設定回路を付加することができることは言うまでもない。また、第1～第nパルスを発生するモノマルチバイブレータの代わりにカウンタ等のディジタル的手段でパルス幅を決定してもよいことは勿論である。

さらに、パルス列制御回路の基準信号の発生にアナログ的なモノマルチバイブレータを用いたが、カウンタ等ディジタル的な手段により実現しても

よいことは勿論である。また、上記説明では便宜上基準信号を1個だけとした例を示したが、これを複数個とし、複数個の開始部補助信号を組合せて、例えばスペース長3τ～4τではマーク長-τ、5τ～7τではマーク長-0.5τ、8τ～11τではマーク長そのままといった、よりきめ細かな制御をしてもよいことは言うまでもない。

第2実施例

第8図は本発明の第2実施例を示す図であり、本実施例はパルス化クロックの周期Tを(1/2)τとしたものである。すなわち、第8図に作動のタイミングチャートを示すように、本実施例ではパルス化の分解能が第1実施例の倍となるため、よりきめ細かなパルス幅設定を行うことができる。この場合、開始部のパルスのパルス幅条件を第1実施例と同じにしたければ、モノマルチバイブレータ21aおよびモノマルチバイブレータ21cのパルス幅設定を第1実施例と同じに設定し、モノマルチバイブレータ21bおよびモノマルチバイブレータ21dについてもパルスの後縁がモノマルチバ

イブレータ21a またはモノマルチバイブレータ21c で設定したバルスの後縁を越えないように小さなバルス幅に設定しておけばよい。

第3図に示すバルス化回路4ではモノマルチバイブレータ21a、モノマルチバイブレータ21b ……モノマルチバイブレータ21n の出力は集合回路であるオアゲート16により論理的に合成されるから、2つのバルスを同時に発生しても故障等が生じることは全くない。あるいは、モノマルチバイブレータ21a およびモノマルチバイブレータ21c を $(1/2) \cdot \tau$ に設定し、残りのバルス幅をモノマルチバイブレータ21b およびモノマルチバイブレータ21d で設定してもよい。なお、これは終了部についても全く同様である。また、バルス化クロックの周期を $(1/3) \cdot \tau$ 、 $(1/4) \cdot \tau$ とより細かくして分解能を上げてもよいことは言うまでもない。

第3実施例

第9～11図は本発明の第3実施例を示す図であり、本実施例では、第9図に示すようにバルス化

オード34の光出力の様子を示すもので、マーク長 5τ 、開始部制御信号Aの幅 2τ 、終了部制御信号Cの幅 τ 、バルス化クロックT = $(1/2) \cdot \tau$ の場合を一例として示している。

本実施例ではT = $(1/2) \cdot \tau$ としているから、開始部は4個、終了部は2個、中間部は最大16個のバルス禁止手段35が有効となる。また、同図(c)に○×で示すようにチャネル1、チャネル2のバルス禁止手段35a、35b を設定すると、各チャネルのバルス化出力は同図(c)に示すようになる。チャネル1およびチャネル2の出力はそれぞれ第1光出力発生回路32および第2の光出力発生回路33に接続されているから、レーザダイオード34の光出力は同図(d)に示すように先頭の2個のバルスについては通常より大きい第2の大きさの光出力に、その他のバルスについては通常の第1の大きさの光出力となる。

このように、バルス化回路31を複数チャネルとし、かつ各バルスの発生を各々独立に禁止するバルス禁止手段35を持つことにより、前記各実施例

回路(バルス化手段)31から複数のバルス化出力 (Ch1とCh2の2チャネル) を第1、第2の光出力発生回路32、33にそれぞれ出力し、これからレーザダイオード34に供給するとともに、各チャネルの開始部、中間部、終了部各々の第1バルス、第2バルス …… 第nバルスの発生を各々独立に禁止するバルス禁止手段35を設けた点が特徴である。

バルス禁止手段35はスナップスイッチ等のスイッチ群により構成され、具体的には第10図に示すように示される。すなわち、デコード回路14としてのアンドゲート20a …… 20n の次段にはバルス禁止手段35a が設けられてモノマルチバイブレータ36a～36n に接続され、さらに集合回路37a でまとめられてバルス化出力のチャネル1を発生させている。また、同様に他方のバルス禁止手段35b が設けられてモノマルチバイブレータ38a～38n に接続され、さらに集合回路39でまとめられてバルス化出力のチャネル2を発生させている。

第11図は第3実施例のタイミングとレーザダイ

のようにバルス幅だけではなく、光出力をも変えることができるため、より細かく最適な書き込み条件を定めることができる。

なお、本実施例ではチャネル数を2としたが、さらに3以上とし、よりきめ細かに光出力を変えるようにしてもよい。また、バルス禁止手段には必ずしもスイッチを持つ必要はなく、当該位置のバルス発生手段を削除したり、結線をはずす等の手段を用いてもよいことは勿論である。

第4実施例

第12、13図は本発明の第4実施例を示す図であり、本実施例は前記「従来技術の問題点の分析」の項で述べた直前の書き込みビットから来る余熱の影響を補正する手段として、直前のスペース長に応じて書き込み開始部バルスの光出力を制御するものである。制御信号としては第1の実施例で示したマーク長制御信号Fを用いる。すなわち、第12図に示すように、第3実施例の構成として示した第9図の構成の一部にマーク長制御信号Fの入力する光出力制御回路51が設けられ、第2の光出力発生

回路33に接続されている。そして、光出力制御回路51により第13図に示すタイミングチャートで示すように、マーク長制御信号Fに基づき直前のスペース長に応じて書込開始部パルスの振幅が変えられて、光出力がきめ細かく制御される。したがって、本実施例の方法でも余熱の影響を効果的に補正することができる。

また、上記説明では便宜上基準信号Eを1個だけとし、マーク長制御信号Fも1個だけとした例を示したが、第1実施例と同様に複数個の基準信号E₁～E_nから複数個のマーク長制御信号F₁～F_nを作り、光出力制御回路で各々のマーク長制御信号に応じた大きさの光出力を出すように構成し、よりきめ細かな制御を行っても良いことは言うまでもない。

第5実施例

第14図は本発明の第1、第2実施例によって余熱の影響を補正した結果を示す図、第15～17図は本発明の第5実施例を示す図である。

第1実施例では以前に書込んだビットからの余

熱の影響を補正するため、直前のスペース長の長さに応じて発生パルスの数を増減することによりマーク書込開始位置を制御している。第14図は第1実施例に第2実施例を適用した場合、すなわちパルス化クロックを(1/2)τとし、前述した好適な書込パルス条件(パルス化クロックτ)の各パルス幅をほぼ半分とした書込パルス条件のもとで、余熱補正0.5τ(前記第3の遅延信号D₁の遅延時間0.5τ)、基準信号長6τ(直前のスペース長が3τ～5τのときだけ余熱補正がかかる)とした場合の余熱補正の様子を示したものである。図中の○は余熱補正なし、△が上記条件で余熱補正を行った場合である。補正により直前のスペース長が3τ～5τのときには書込マーク長が約0.5τ短くなつたため、読み取信号の判別基準である±0.5τ以内に収まるようになり、余熱補正の効果が現れている。

しかしながら、この方法では書込開始位置の分解能がパルス化クロックの周期で制限されてしまう。したがって、よりきめ細かい補正を行いたい

場合、例えば書込開始位置を直前のスペース長が1τ変化するたびに10nsずつ変化させたい場合には、周期10ns(周波数100MHz)のパルス化クロックが必要となり、一般に使われているTTLでは実現が困難である。また、直前のスペース長が3τから11τまでの間で1τ変化するごとに応じて書込開始位置を制御したい場合には9個の基準パルスが必要であり、ハードウェアもかなり増加してしまう。

第5実施例は、このようなきめ細かな書込開始位置制御を簡単なハードウェアで実現しようとするものである。第15図はそのために必要な部分の構成を示す図であり、この図において、本実施例のパルス列制御回路は、必要な数だけ設けられた先頭パルス(第3図に示す開始部第1パルス)の通過路群54と、直前のスペース長を認識するスペース認識手段55と、認識結果に応じて先頭パルスの通過路を選択する通過路選択手段56とを含んで構成される。スペース認識手段55はスペース長を1τ単位で計数するカウンタ57と、インバータ58、

59と、遅延回路60と、 NANDゲート61と、カウンタ57の出力信号が入力するデコード回路としてのアンドゲート62a～62nとにより構成される。また、通過路群54は先頭パルスの通過路としての直列接続したディレイライン(DL)63a～63nにより構成され、通過路選択手段56は各スペース長およびディレイライン63a～63nの出力が入力するアンドゲート64a～64nと、集合回路としてのオアゲート65とにより構成され、オアゲート65からは先頭パルス出力として先に示した第3図におけるモノマルチバイブレータ21aのトリガ信号が発生する。

以上の構成において、第16図にタイミングチャートを示すように、第1の遅延信号D₁の反転信号D₁をカウンタ57のイネーブル端子に入力しておくと、スペース部が入力され、D₁が“H”になるとカウンタ57はクロックの計数を開始する。スペース部が終わり、マーク部が入力されると、D₁は“L”になり、カウンタ57は直前の内容を維持したまま停止する。すなわち、マーク部が始

また時点ではカウンタ57は直前のスペース長の情報を蓄積するメモリとして機能する。したがって、カウンタ57の内容をデコードすることにより、マーク部が始まった時点では直前のスペース長に対応する1個のデコーダ出力だけが“H”となる。第16図には3デコーダ（スペース長3τに対応）と10デコーダ（スペース長10τに対応）の出力を一例として示す。この出力を使って先頭パルスの通過路を選択する。カウンタ57はD₁の立上りでリセットされ、次のスペース長のカウントを開始する。

一方、先の第3図に示すモノマルチバイブレータ21aのトリガとなる先頭パルス（開始部第1パルス）はその前で取り出されて先頭パルス通過路群54としてのディレイライン63a～63nに入る。該通過路群54は従属接続されたディレイライン63a～63n（D_{L1}、D_{L2}、…、D_{Ln}）で構成され、各ディレイライン63a～63nに付けられた添字は直前のスペース長に対応する。各ディレイライン63a～63nの出力には前記デコード回路とし

えば、直前のスペース長が3τのときの第1パルスの遅延時間を150nsとし、第2パルスの遅延時間を140ns、…、第nパルスの遅延時間を(150-10n)ns、というように徐々に変えたり、或いは直前のスペース長が10τのときの第1パルスの遅延時間を20nsとし、第2パルスの遅延時間を15ns、…、第nパルスの遅延時間を(20-5n)nsというように徐々に変えてやれば、第17図に示すような出力パルス列を得ることができ、よりきめ細かな余然補正を行うことができる。

第6実施例

第18、19図は本発明の第6実施例を示す図である。第5実施例で述べた直前のスペース長に応じた先頭パルス位置の制御は、長穴記録のうちでもCD（コンパクトディスク）に代表される回転角速度一定の記録には適しているものの、光磁気ディスクに代表される回転角速度一定の記録には、そのままでは適用できない。すなわち、回転角速度一定の記録では回転半径が大きい円板外周部に行くほど線速度が速くなり、時間的に同じ長さの

でのアンドゲート62a～62nの出力によって制御されるアンドゲート64a～64nが接続されているから、直前のスペース長に応じた遅延時間の経路を通ったパルスだけが取り出されてモノマルチバイブルエタ21a（第3図参照）をトリガする。このようにしてマーク部直前のスペース長の認識とそれに応じた先頭パルス発生位置の制御が行われる。

なお、各ディレイライン63a～63nに、例えば5ns単位でタップを設けておくことにより、この分解能で先頭パルス発生位置を制御することができ、一般に使われる TTLで10ns以下の分解能を達成することができる。

上記説明では通過路選択手段56を1個とし、開始部第1パルスだけを遅延させて余然補正を行ったが、通過路選択手段56を複数個とし、開始部第1～第nパルスを遅延させて余然補正を行うこともできる。この場合、スペース認識手段55は1個でよい。さらに、開始部第1～第nパルス各々に対応する各々の通過路選択手段の遅延時間を、例

信号を記録しても媒体上の記録長さは内周部に比べて長い。したがって、直前のスペース長が同じでも、外周部では内周部に比べ媒体上の距離が遠く余然の影響は少ない。

そこで、第6実施例は円板の回転半径に応じて前記各ディレイライン63a～63nの遅延時間を変えるようにしたものである。

本実施例の適用対象である回転角速度一定の記録においては、光ヘッドの位置あるいは媒体中に記録されたアドレスから現在の回転半径位置を知ることができるような手段が設けられており、この手段は、例えば2進符号で表された信号などが一般的である。そのため、本実施例では第19図に示すようにデコード回路としてのアンドゲート71a～71nに2進信号で表された半径位置信号を入力し、適当な数だけ設けられた半径位置デコーダとしてのアンドゲート71a～71nの出力は該当するただ1個だけが“H”となる。各アンドゲート71a～71nの出力S₁～S_nは第18図に示すように半径位置選択ゲートとしてのn群のアンドゲー

ト72A₁～72A_n、72B₁～72B_n、……72N₁～72N_nに入力されており、これらの各ゲートの他の入力端子はディレイライン63a～63nの出力タップ1、2……nに接続されている。また、各ゲート72A₁～72A_n、……72N₁～72N_nの出力は群ごとにまとめられオアゲート73a～73nに入力され、その次段には第5実施例と一部が共通のスペース認識手段55が設けられている。したがって、半径位置選択ゲートの出力S₁～S_nのうち1個を“H”とすることにより、ディレイライン63a～63nの出力タップ1、2……nのうちの1つが選択され、この出力タップを通った先頭パルス信号だけが次段のディレイラインに入力されるとともに、その後の論理処理により先頭パルス出力となる。

なお、各ディレイライン63a～63nの入力と出力タップ間の遅延時間は各ディレイラインで同一とする必要はなく、ディスク媒体の特性に応じて設定してやればよい。また、直前のスペース長に応じた通過路の選択手段は第5実施例と全く同様

変わらぬ回路で、可変容量ダイオードとインダクタスを組み合わせた、一般にはVCVDL(Voltage Controlled Variable Delay Line)と呼ばれている素子で構成される。本実施例ではジェービーシー社製の素子を2個使用して、第22図に示すように、0～15Vの制御電圧に対して1020ns～700nsの可変範囲を得ている。

さて、上記電圧制御遅延回路83に、例えば第23図に示す長さ3τ(690ns)の鋸歯状制御電圧を印加した場合を考えると、電圧制御遅延回路83の遅延時間は横軸の経過時間に対して第24図に示すように変化する。経過時間0のタイミングで電圧制御遅延回路83に入力されたパルスは同遅延回路83内を伝播するが、その伝播中にも遅延回路83の遅延時間は第24図に示すように刻々と変化している。したがって、パルスは入力タイミングにおける遅延回路83の遅延時間(1020ns)と定常状態における遅延時間(700ns)との平均値、すなわち $(1020+700)/2=860\text{ns}$ だけ遅延されて出力端に現れる。また、経過時間300nsのタイミングで入力さ

である。

上記説明では先頭パルス(開始部第1パルス)だけで余熱補正する例を示したが、第5実施例と同様に、第18、19図に示す回路を複数個用意し、開始部第1パルス～第nパルスを使った余熱補正を行ってもよいことは言うまでもない。

第7実施例

第20～27図は本発明の第7実施例を示す図である。本実施例は直前のスペース長に応じた余熱補正を、前述した各実施例より更にきめ細かに行うものである。

第21図に示す本実施例のパルス列制御回路80はスペース認識回路81と時間圧縮回路82とで構成される。

スペース認識回路81は第15図に示したスペース認識手段55と同様の回路で、直前のスペース長3τ～11τに応じたスペース長信号を発生する。

時間圧縮回路82は電圧制御遅延回路83と遅延時間制御回路84とで構成される。電圧制御遅延回路83は印加された制御電圧によってその遅延時間が

れたパルスはそのタイミングにおける遅延回路83の遅延時間が880nsであるから $(880+700)/2=790\text{ns}$ だけ遅延される。このように鋸歯状制御電圧が印加された時点から遅れて入力されたパルスほど遅延時間が少なくなる。ただし、690ns以上遅れて入力されたパルスについてはもはや制御電圧が印加されていないため、遅延時間はすべて700nsとなる。

第25図に上記原理に基づいてパルス列の時間圧縮を行った一例を示す。直前のスペース長3τにおける余熱補正值を160nsとし、これに相当する鋸歯状制御電圧を(b)に示す15V、690nsとしている。また、入力パルス列としては(a)に示すマーク長4τの好適なパルス化を施したものとする。

第1パルスの前縁は遅延され、860ns後に出力される。また、第1パルスの後縁は100ns後に入力されるから、上記原理より $(974+700)/2=837\text{ns}$ だけ遅延され、経過時間の原点を基準とすれば837+100=937nsの時点で出力される。したがって、出

カパルス列の第1パルス幅は937-860-77nsとなる。同様に第2パルスの前縁は948ns、後縁は1025nsとなり、パルス幅は第1パルスと同様77nsとなる。以下同様に、第3パルスは前縁1036ns、幅62ns、第4パルスは前縁1125ns、幅46ns、第5、第6パルスの前縁はそれぞれ1213ns、1301ns、幅はそれぞれ46ns、39nsとなる。第7パルスが入力される時点では制御電圧は定常状態となっているから、第7および第8パルスはそのまま700nsだけ遅延されて出力される。このようにして(c)に示す出力パルス列が得られる。実際には様々なマーク長およびスペース長が組み合わされたパルス列が入力されるが、その最終パルス後縁の位置はすべて入力パルスから700nsだけ遅れた位置を保っている。すなわち、入力信号のマーク長、スペース長の関係を保ちながら、各パルス列の先頭から鋸歯状制御電圧幅に相当する部分のパルス列だけが余熱捕正のために時間圧縮される。

第17図に示す第5実施例の方法では、第1パルスを160ns遅らせ、第2、第3、第4パルスをそ

補正を行った際にもより正確なビット形状を書き込めるこを意味している。

また、余熱捕正の範囲も開始部パルスに限ることなく中間部パルスにまで及ぼすことができる。すなわち、本実施例の時間圧縮による余熱捕正では、原理的にどのような形状、組合せのパルス列が入力されても、補正範囲全域にわたって該入力パルス列を相似的に圧縮することができる。したがって、前述した各実施例のようにパルス列が開始部、中間部、終了部に必ずしも分離されている必要はなく、例えば、3τ～11τのマーク長各々が全く異なる組合せのパルス列で構成されている場合でも、余熱捕正を効果的に行うことができる。

第26図に遅延時間制御回路84の一例を示す。遅延時間制御回路84は前記第1遅延信号D₁から制御電圧幅に等しい幅のパルスを作る補正範囲設定回路90と、該パルスを鋸歯状波に変換する鋸歯状波発生回路91と、スペース認識手段55、81の結果に応じて好適な余熱捕正のための遅延時間を設定

れぞれ150ns、140ns、130ns遅らせて余熱捕正を行ったとしても、各スペース部分が圧縮されるだけで各パルス幅そのものは変化しない。一方、本実施例の方法では各スペース部分のみならず各パルス幅も同じ割合で圧縮されることが大きな特徴である。

第25図(a)に示すパルス列を例にとって説明すると、パルス幅の合計は590nsであり、パルス列の長さ885nsに対する割合(パルス化率)は約67%である。一方、第17図に示す第5実施例の方法ではパルス幅の合計は同じで、パルス列の長さだけが885-160-725nsとなるから、パルス化率は590/725=0.81、81%と入力パルス列より大きくなってしまう。これに対して、本実施例の方法ではパルス幅の合計は487nsであり、パルス化率は487/725=0.67、約67%となり、入力パルス列のパルス化率と同じになる。

パルス化率は書き込みビームのエネルギー密度とも考えることができ、これを好適なパルス条件である入力パルス列と同じに保つことは、余熱

する遅延時間設定回路92と、出力波形を15Vを基準とした波形に変換する引算回路93とで構成される。

補正範囲設定回路90はモノマルチバイブレーカ94で構成され、第27図(a)に示すような入力信号D₁の各マーク立上りで始まる一定幅のパルス(第27図(b)参照)を発生する。パルス幅はボリューム94Rで設定でき、この例ではパルス幅3τ(690ns)としている。

前記パルスは微分回路95による鋸歯状波発生回路91で第27図(c)のように変換され、遅延時間設定回路92に入る。なお、RF₁はオペアンプのフィードバック抵抗で、これを調整することにより鋸歯状波の直線性を変えることができる。

遅延時間設定回路92は各スペース長に対応する9組の増幅器96とスイッチ手段97とで構成される。各増幅器96の増幅率はR₁/Rで決まるため、各地増幅器96のフィードバック抵抗R₁₃～R₁₁を変えることによって出力鋸歯状波のピーク値を変えることができ、各増幅器96の出力を第27図(d)に

示すように設定することができる。各増幅器96の出力にはアナログスイッチ等のスイッチ手段97が接続されており、該スイッチは前記スペース認識手段55から出力されるスペース長信号によって制御される。したがって、スイッチ手段97の出力側にはスペース長(余熱補正)に応じたピーク電圧をもつ唯一個の鋸歯状波が現れる。

引算回路93は1倍の反転増幅器98であり、オペアンプと抵抗 R_e 、 R_s により構成され、入力端子間の差を出力する。正入力端子が15Vに接続されているため、負入力端子に入力される鋸歯状波を引算した第27図(e)に示す波形が outputされる。なお、 R_e はスイッチ手段97がすべてオフの場合に負入力端子を0Vに保つためのものである。引算回路の出力は鋸歯状波制御電圧として電圧制御遅延回路に印加され、前述した時間圧縮が行われる。

上記各回路に使われるオペアンプは15V以上の出力電圧がとれるもので、高速、高スルーレートのものが望ましく、例えばLH0032CG等を使用するのがよい。

マーク長が 3τ であり、補正範囲を例えば 5τ 以上とするとマーク長 3τ の場合のバルス列の最終バルス位置が規定の位置から大きく遅れてしまう問題が生ずるためである。ところが一方では、 7τ 以上といった長いマーク長のバルス列に対しては、例えば 5τ 以上のより広範囲の補正を行い、入力バルス列とより相似に近いバルス列としたい要請もある。本実施例は、より広範囲の補正を行った場合にも短いマーク長のバルス列の最終バルスが規定位置に出るようにするものである。

第28図に本実施例の遅延時間制御回路を示す。この遅延時間制御回路は第26図の回路と一部がことなり、引算回路101の負入力側を選択的に0電位に接続するスイッチ102と、該スイッチ102の開閉タイミングを制御するスイッチ制御回路103と、第1遅延信号を反転してスイッチ制御回路103に入力するインバータ104とを持つことを特徴としている。スイッチ制御回路103には例えば第1遅延信号 D_1 といったスイッチ制御信号が入力される。 D_1 はマーク時にLow、スペース時にHigh

なお、上記一例では補正範囲設定回路90と鋸歯状波発生回路91をモノマルチバイブレータ94とオペアンプによる微分回路95で構成したが、本発明はこれに限定されるものではなく、例えば非対称時定数を持つモノマルチバイブレータのベース側に発生する鋸歯状波を利用して二つの回路を一体化してもよいことは勿論である。

第20図に本実施例による好適な余熱補正結果の一例を示す。図中の○が補正なし、△が補正ありのデータである。書込バルス列は第25図(a)に示した好適なバルス条件とし、直前のスペース長 3τ 時の補正値(最大補正)を160ns、スペース長 4τ 時の補正値を100ns、以下順次60ns、30ns、20ns、とし、スペース長 8τ 以上はすべて10nsとした。若干の非直線性はあるものの、ほぼ完全な余熱補正が行われている。

第8実施例

第28、29図に第8実施例を示す。第7実施例では余熱補正の範囲(鋸歯状波制御電圧の幅)を 3τ として説明してきた。これはCD信号の最小マ

となるから、これをスイッチ制御回路103で適当なタイミングに調整してスイッチを制御してやれば、引算回路101の負入力側の電圧をマークが終わる寸前には必ず0Vとなるようにすることができます。

前記補正範囲設定回路90で 4τ のバルス幅が設定され、マーク長 3τ のバルス列が前記電圧制御遅延回路83に入力される場合を考えると、引算回路101の入力波形は第29図(a)に示す波形となり、出力波形は同図(b)に示す波形となる。したがって、引算回路101の出力波形を前記電圧制御遅延回路83に印加すると、該遅延回路83の遅延時間はマーク長 3τ のバルス列の最終バルスが入力される寸前に定常状態に復帰する。よって、最終バルスが出力されるタイミングは他のマーク長のバルス列の最終バルスと同様に、入力時点+700nsの位置となる。

なお、前記補正範囲設定回路90で設定されたバルス幅より長いマーク長のバルス列については、該設定されたバルス幅の制御信号が定常状態にな

るまで前記スイッチ102がオフとなっているため、何ら影響はない。

(発明の効果)

本発明の方法によれば、高密度書き込を行った場合にも隣接書き込位置からの余熱の影響を効果的に補正して、正確な記録ビット形状を書き込むことができ、C/N比の良い高品質の再生信号を得ることができる。

また、本発明の装置構成によれば、簡単なハードウェアを付加するだけで上記余熱の影響を効果的に補正して上記記録ビット形状を書き込むことができ、同様の効果を得ることができる。

4. 図面の簡単な説明

第1図は本発明の原理を説明するために好適な書き込パルス条件の一例と書き込ビット形状を示す図、第2～7図は本発明の第1実施例を示す図であり、

第2図はその全体構成図、

ト、

第14図は本発明の第1、第2実施例によって余熱の影響を補正した結果を示す図、

第15～17図は本発明の第5実施例を示す図であり、

第15図はそのパルス列制御回路の要部の構成を示すブロック図、

第16図はそのタイミングチャート、

第17図はその複数の通過路選択手段によるパルス出力を示す図、

第18、19図は本発明の第6実施例を示す図であり、

第18図はその先頭パルス発生のための回路を示す図、

第19図はその半径位置の選択のための回路を示す図、

第20～27図は本発明の第7実施例を示す図であり、

第20図はその余熱補正の一例を示す図、

第21図はそのパルス列制御回路の構成を示す図、

第3図はそのパルス化回路のブロック図、

第4図はその基本動作を示すタイミングチャート、

第5図はその基準信号発生回路の回路図、

第6図はその基準信号発生回路のタイミングチャート、

第7図はそのパルス列制御回路のタイミングチャート、

第8図は本発明の第2実施例のタイミングチャート、

第9～11図は本発明の第3実施例を示す図であり、

第9図はそのパルス化回路の出力系統を示す図、

第10図はそのパルス禁止手段の詳細な回路図、

第11図はそのタイミングチャート、

第12、13図は本発明の第4実施例を示す図であり、

第12図はそのパルス化出力信号の出力系統を示す図、

第13図はその光出力の制御のタイミングチャート、

第22図はその電圧制御遅延回路の特性を示す図、

第23図はその鋸歯状制御電圧と遅延時間示す図、

第24図はその電圧制御遅延回路の特性を示す図、

第25図はその時間圧縮による余熱補正を施した出力パルス列を示す図、

第26図はその遅延時間制御回路の回路図、

第27図はその遅延時間制御回路の各部の動作波形を示す図、

第28、29図は本発明の第8実施例を示す図であり、

第28図はそのより広範囲の余熱補正を行う遅延時間制御回路を示す図、

第29図はその遅延時間制御回路の各部の動作波形を示す図、

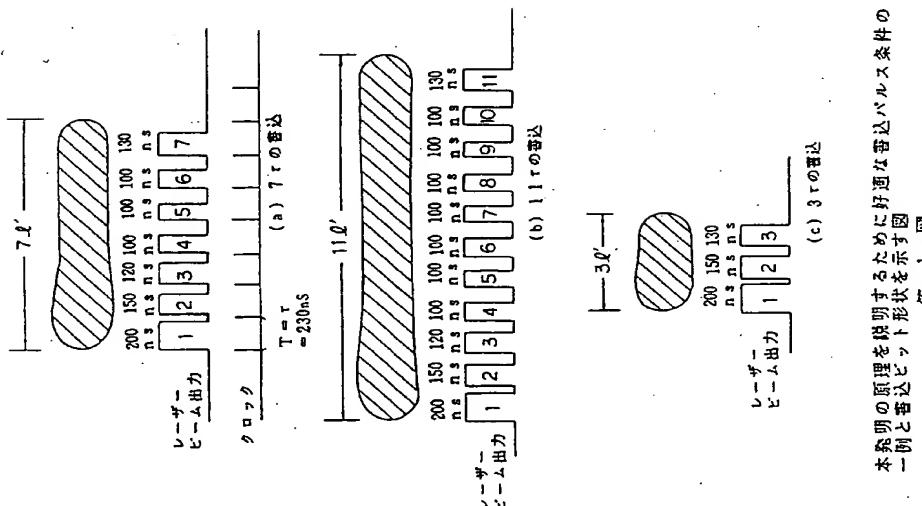
第30図はCD信号の一例を示す図、

第31図は従来の方法による記録ビットの形状を示す図、

第32図は直前のスペース長による書き込マーク長の変化を示す図である。

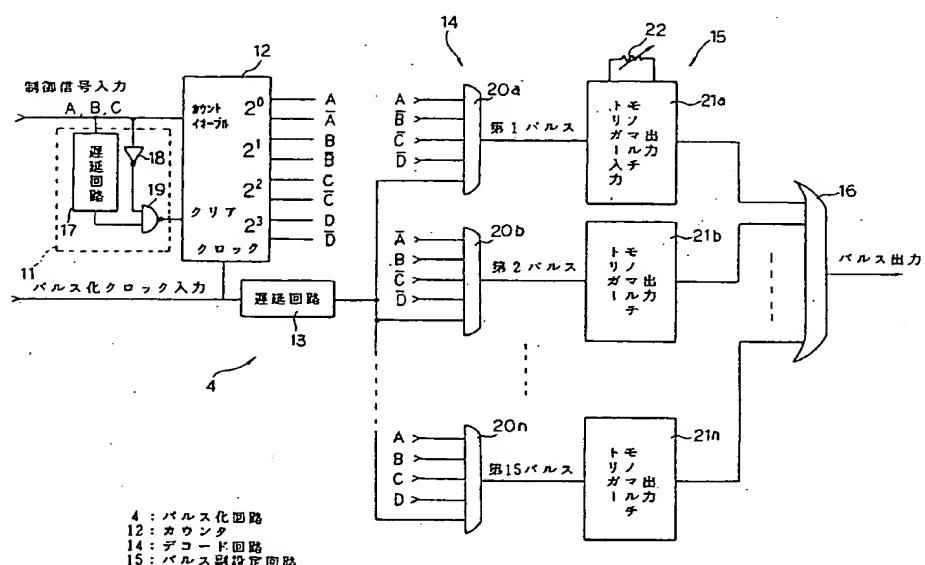
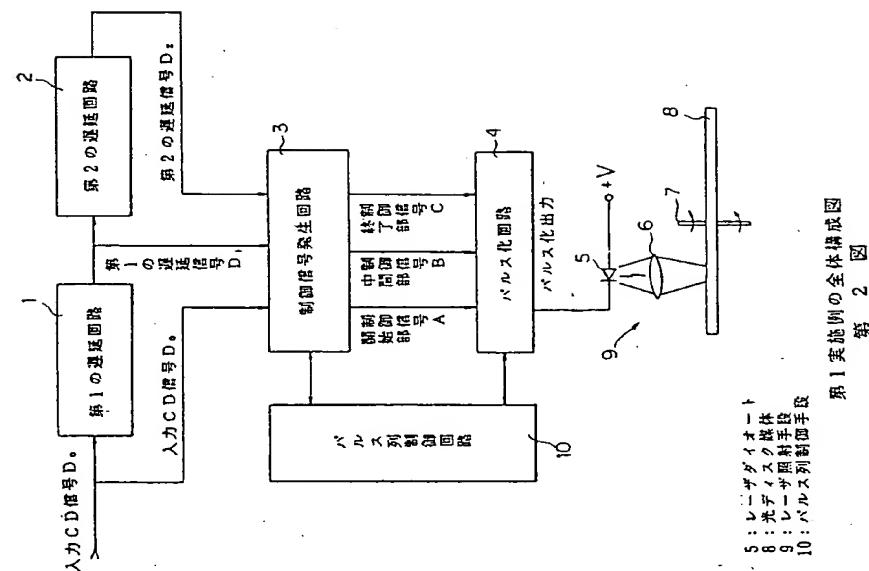
1 …… 第 1 の遅延回路 (第 1 の遅延手段)、
 2 …… 第 2 の遅延回路 (第 2 の遅延手段)、
 3 …… 制御信号発生回路 (制御信号発生手段)、
 4、31 …… パルス化回路 (パルス化手段)、
 5 …… レーザダイオード、
 6 …… 光ディスク媒体、
 9 …… レーザ照射手段、
 10、80 …… パルス列制御回路 (パルス列制御手段)、
 32 …… 第 1 の光出力発生回路、
 33 …… 第 2 の光出力発生回路、
 35 …… パルス禁止手段、
 51 …… 光出力制御回路、
 54 …… 通過路群、
 55 …… スペース認識手段、
 56 …… 通過路選択手段、
 81 …… スペース認識回路 (スペース認識手段)、
 82 …… 時間圧縮回路 (時間圧縮手段)、
 83 …… 電圧制御遅延制御回路、
 84 …… 遅延制御回路、
 90 …… 補正範囲設定回路、
 91 …… 鏡歯状波発生回路、
 92 …… 遅延時間設定回路、
 93、101 …… 引算回路、
 94 …… モノマルチバイブレータ、
 95 …… 微分回路、
 96 …… 増幅器、
 97 …… スイッチ手段、
 102 …… スイッチ、
 103 …… スイッチ制御回路。

代理人 弁理士 井 衍 貞



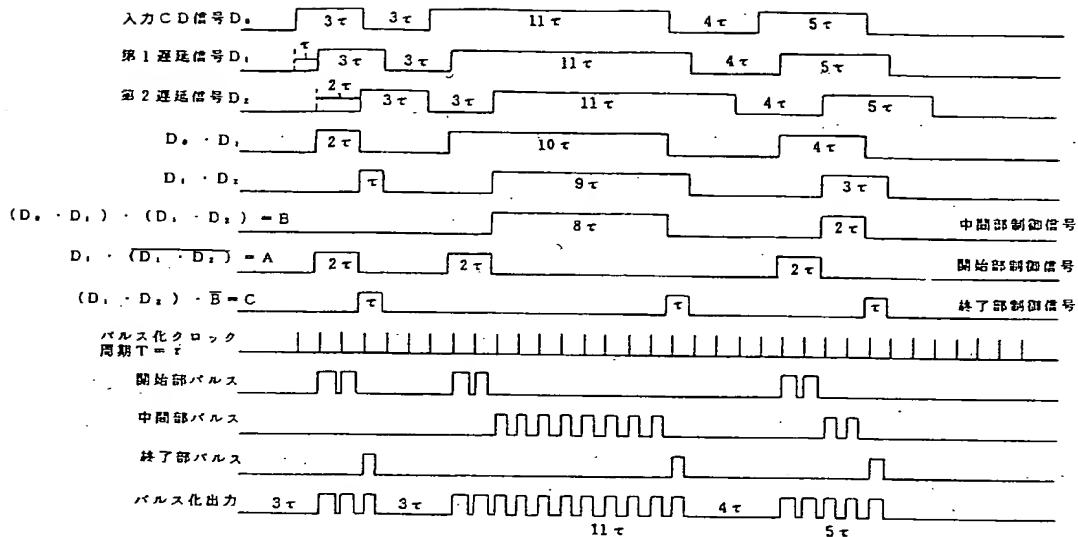
本発明の原理を説明するために好適な蓄込パルス条件の一例と蓄込ビット形状を示す図

第 1 図



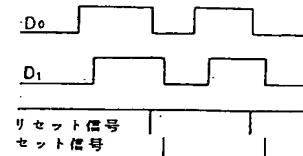
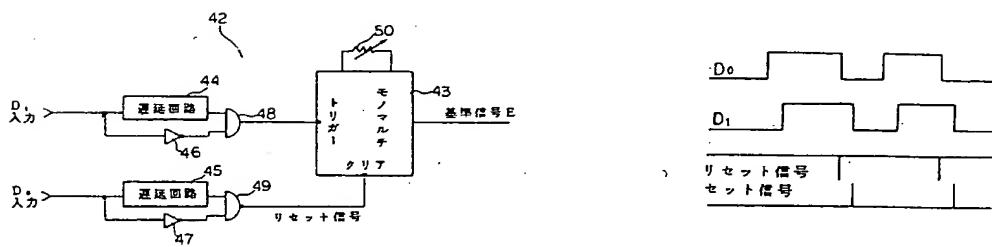
第1実施例のパルス化回路のブロック図

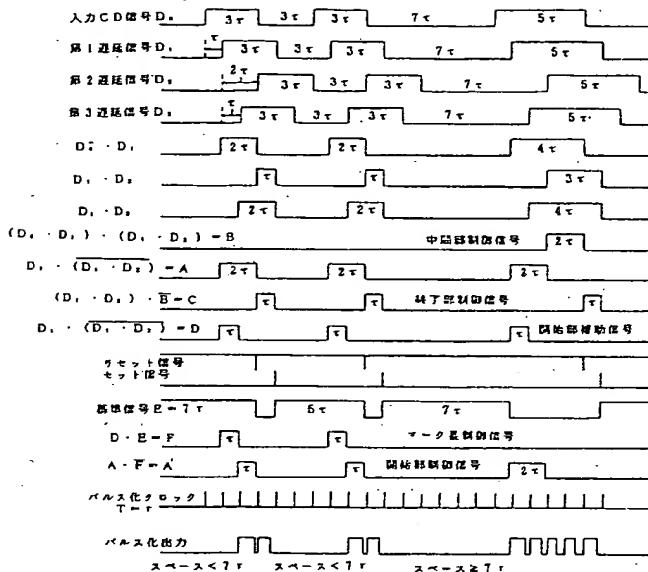
第3図



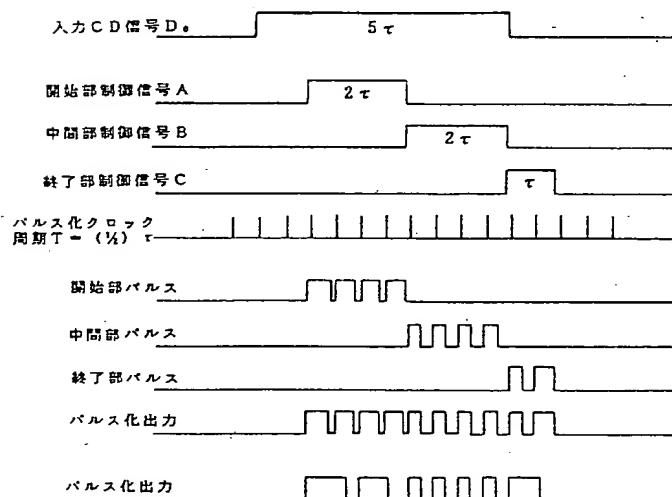
第1実施例の基本動作を示すタイミングチャート

第 4 図

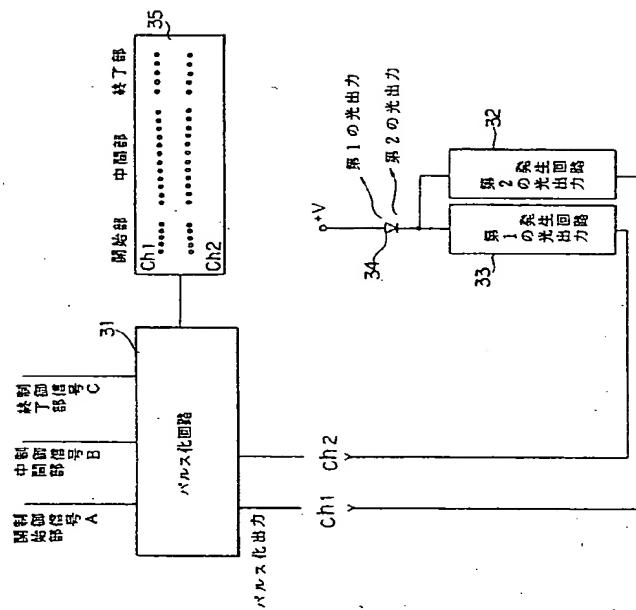
第1実施例の基準信号発生回路の回路図
第 5 図第一実施例の基準信号発生回路のタイミングチャート
第 6 図



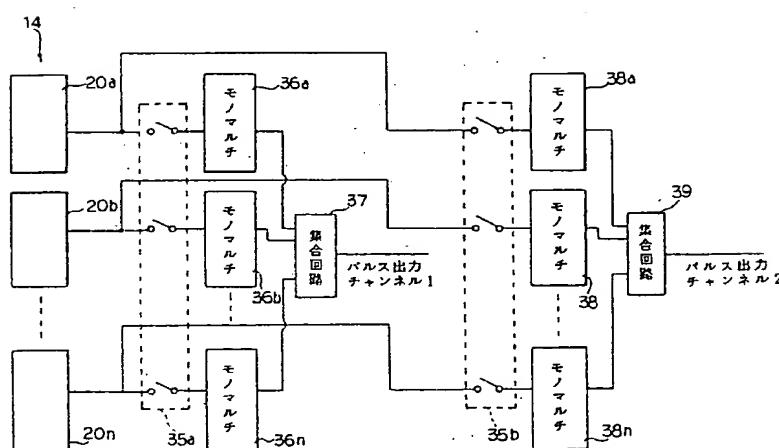
第1実施例のパルス列制御回路のタイミングチャート
第7図



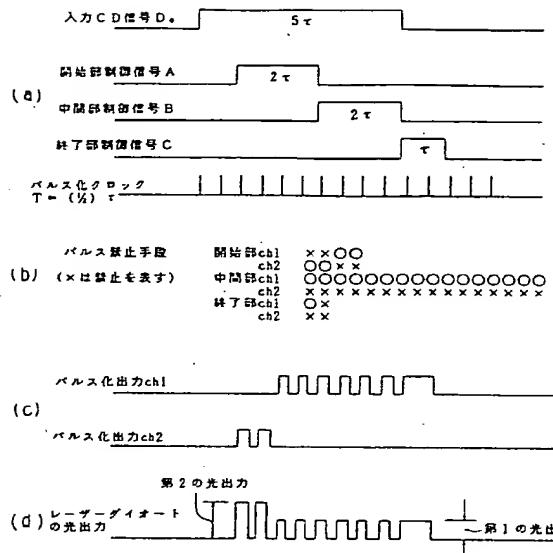
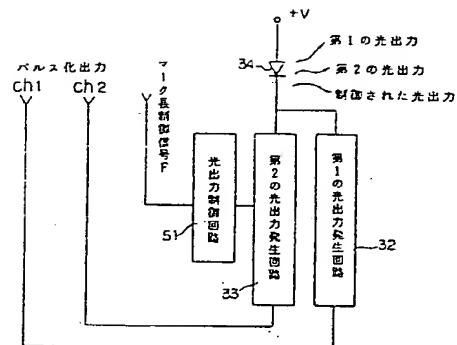
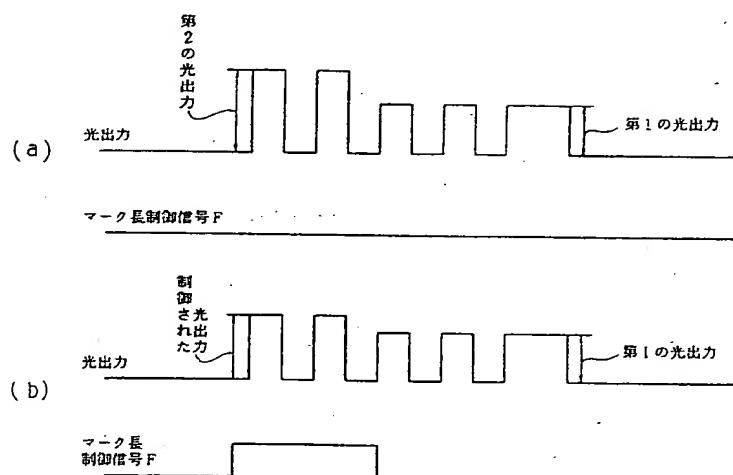
第2実施例のタイミングチャート
第8図

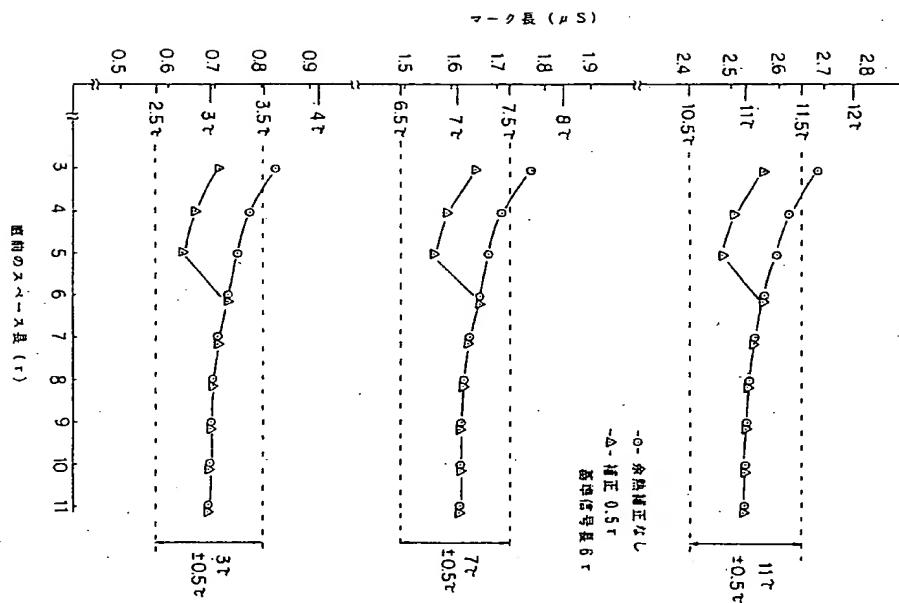


第3実施例のパルス化回路の出力系統を示す図
第9図

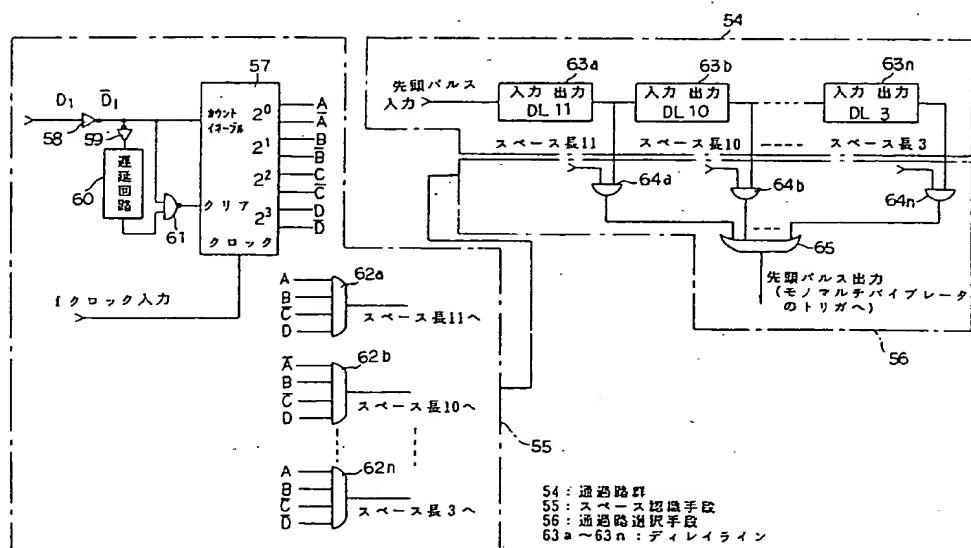


第3実施例のパルス禁止手段の詳細な回路図
第10図

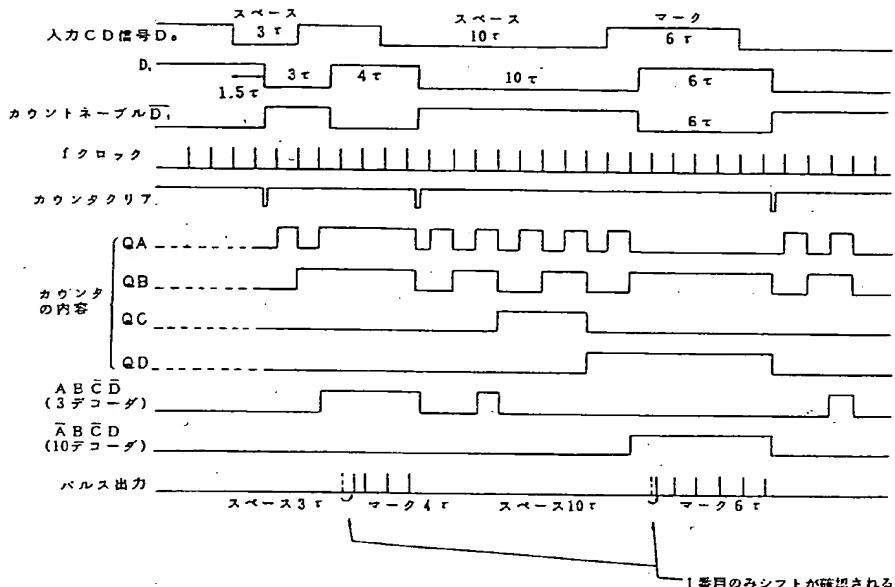
第3実施例のタイミングチャート
第 11 図第4実施例のパルス化出力信号の出力系統を示す図
第 12 図第4実施例の光出力の制御のタイミングチャート
第 13 図



第1、第2実施例によって余熱の影響を補正した結果を示す図
第 14 図

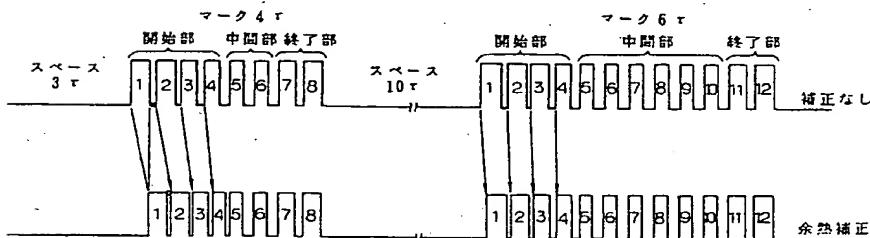


第5実施例のパルス列制御回路の要部の構成を示すブロック図
第 15 図



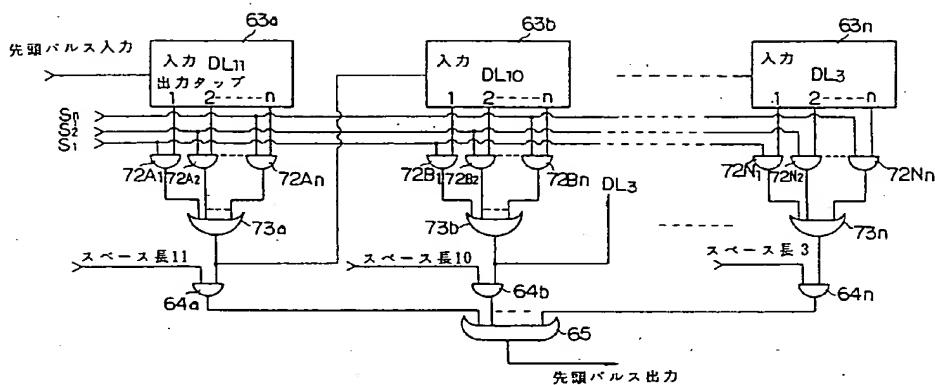
第5実施例のタイミングチャート

第 16 図

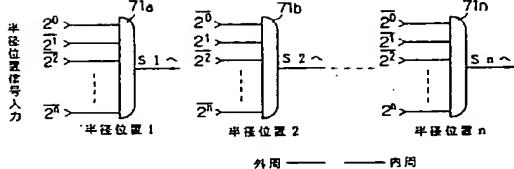


第5実施例の複数の通過路選択手段によるパルス出力を示す図

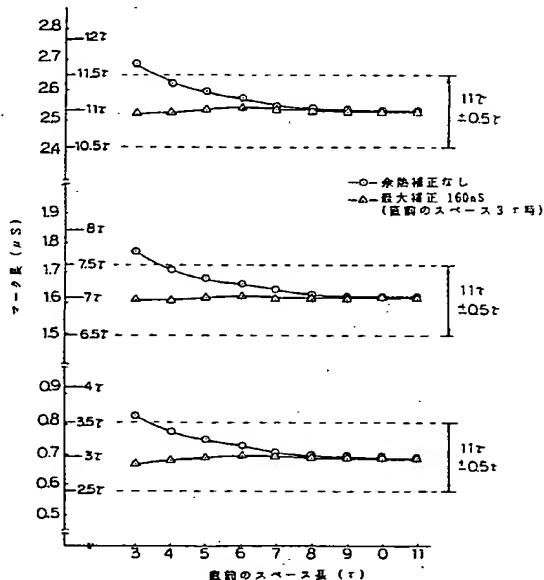
第 17 図



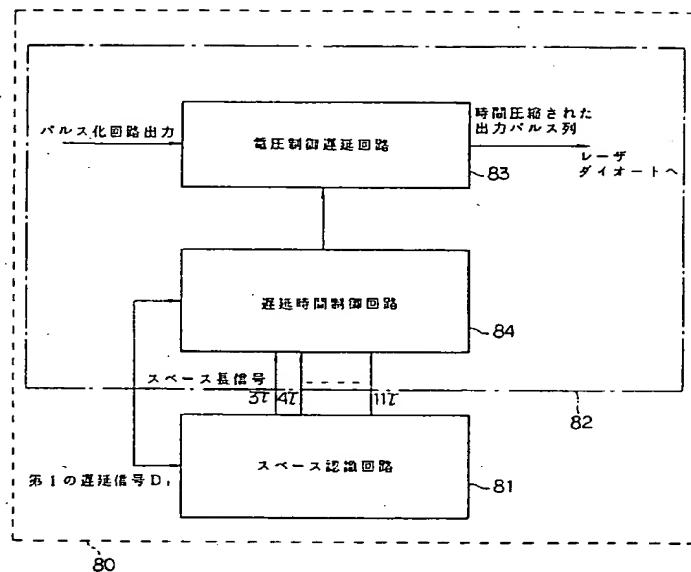
第6実施例の先頭パルス発生のための回路を示す図
第 18 図



第6実施例の半径位置の選択のための回路を示す図
第 19 図

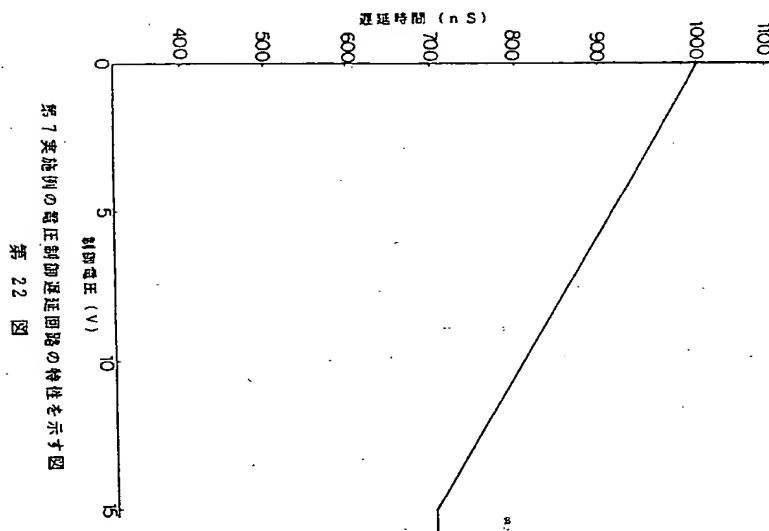


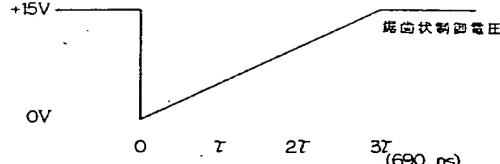
第7実施例の余熱補正の一例を示す図
第 20 図



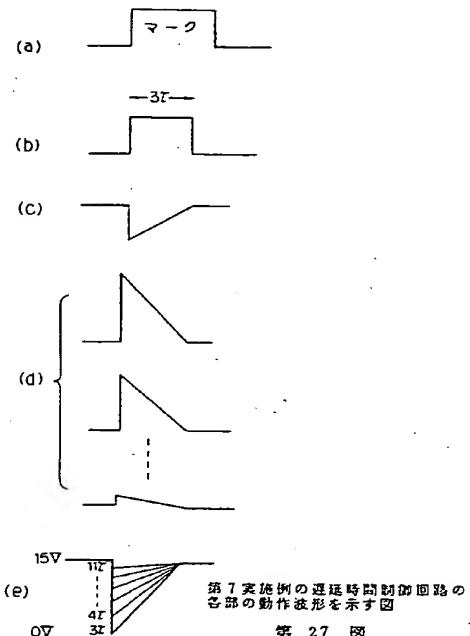
第7実施例のパルス列制御回路の構成を示す図

第 21 図

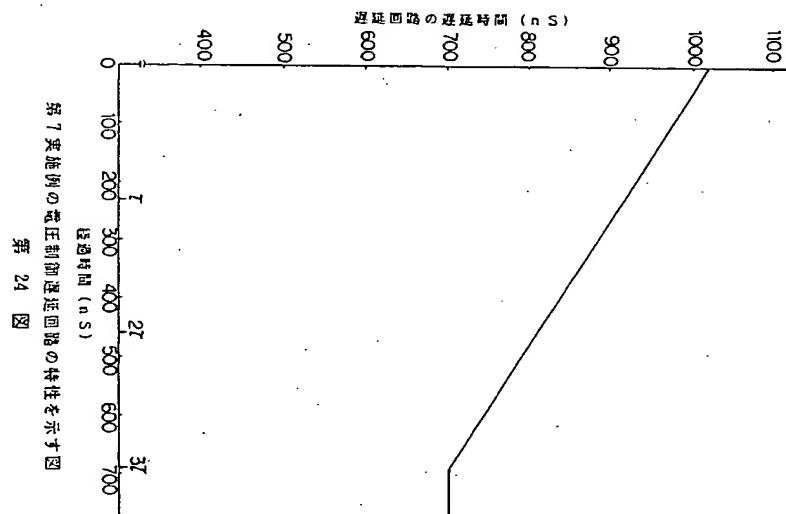




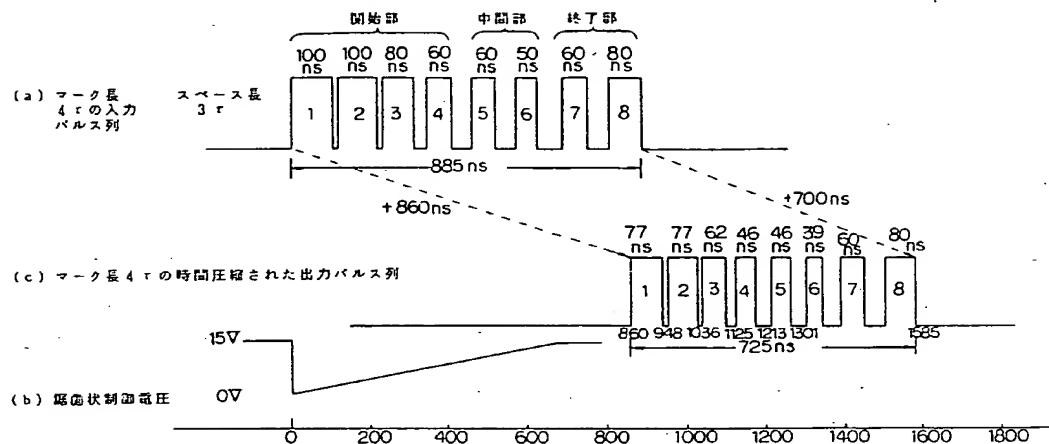
第7実施例の锯歯状制御電圧と遅延時間を示す図
第23図



第7実施例の遅延時間制御回路の各部の動作波形を示す図
第27図

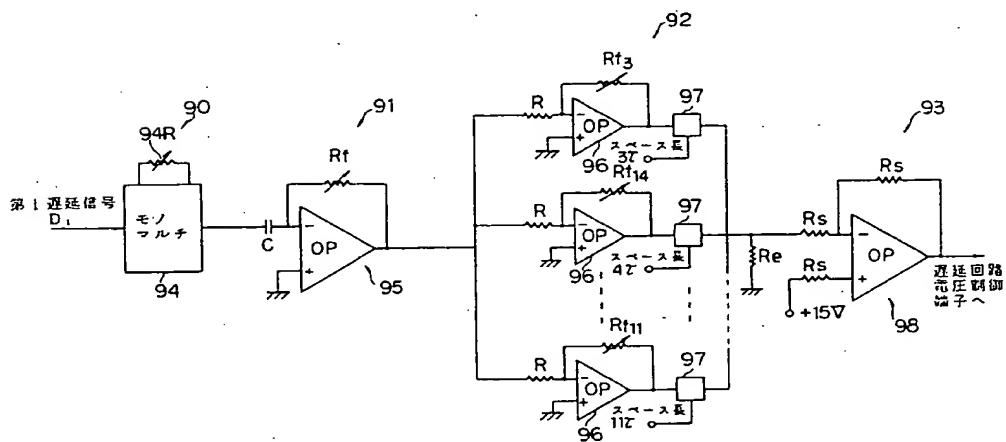


第7実施例の電圧制御遅延回路の特性を示す図
第24図



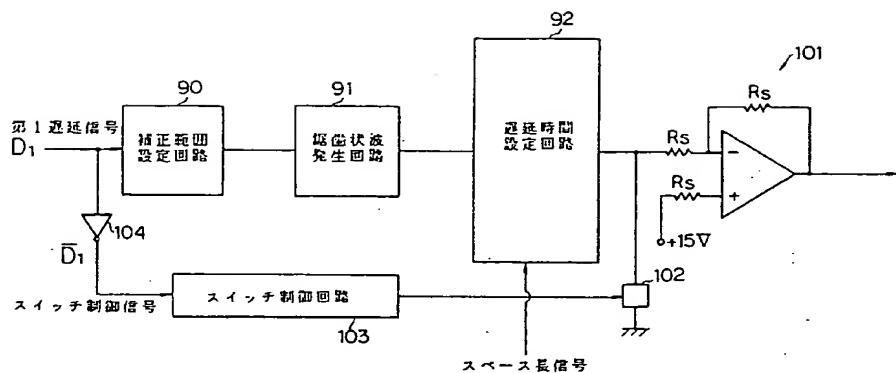
第7実施例の時間圧縮による余熱補正を施した出力パルス列を示す図

第 25 図



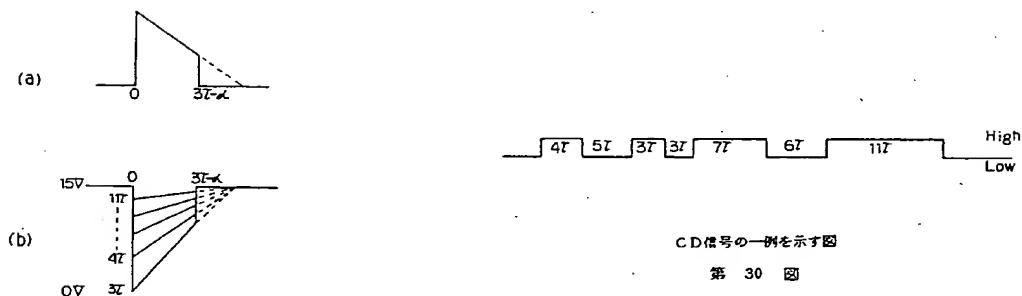
第7実施例の遅延時間制御回路の回路図

第 26 図



第 8 実施例の遅延制御回路を示す図

第 28 図

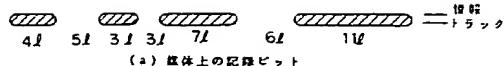


CD信号の一例を示す図

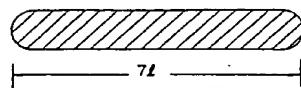
第 30 図

第 8 実施例の遅延時間制御回路の各部の動作波形を示す図

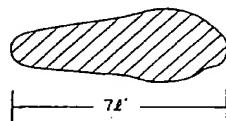
第 29 図



(a) 磁体上の記録ビット

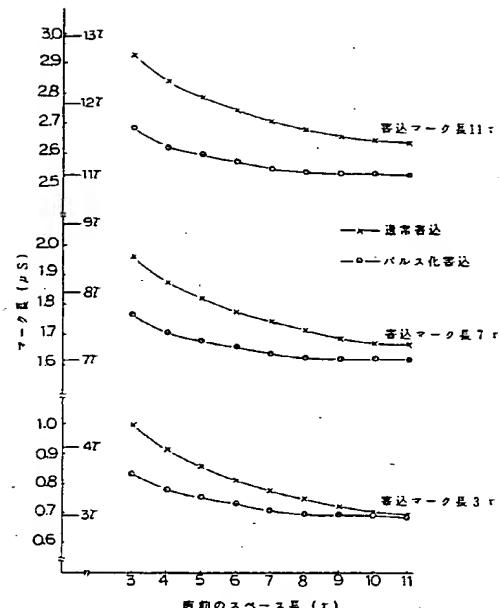


(b) 正常な記録ビット形状

(c) 異常な記録ビット形状
磁体上の記録ビット形状

従来の方法による記録ビットの形状を示す図

第 31 図



直前のスペース長による書きマーク長の変化を示す図

第 32 図